

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masahiko TAKEUCHI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2003-144670

May 22, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

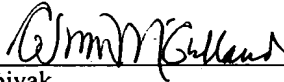
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 5月22日

出 願 番 号
Application Number:

特願2003-144670

[ST.10/C]:

[JP2003-144670]

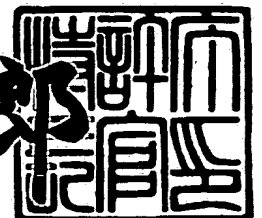
出 願 人
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3046090

【書類名】 特許願

【整理番号】 543478JP01

【提出日】 平成15年 5月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

【氏名】 竹内 雅彦

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及び半導体装置

【特許請求の範囲】

【請求項 1】 (a) メモリデバイスが形成されるメモリ領域と、ロジックデバイスが形成されるロジック領域とを有する半導体基板上に第 1 の絶縁膜を形成する工程と、

(b) 前記メモリ領域における前記半導体基板と電氣的に接続され、上面が前記第 1 の絶縁膜から露出する第 1 のコンタクトプラグと、前記ロジック領域における前記半導体基板と電氣的に接続され、上面が前記第 1 の絶縁膜から露出する第 2 のコンタクトプラグとを、前記第 1 の絶縁膜内に形成する工程とを備え、

前記工程 (b) で形成される前記第 1 のコンタクトプラグは、第 1 の導電性膜と、その上端部に形成された第 1 の導電性バリア層を有し、

(c) 前記第 1 の導電性バリア層と接触する MIM (Metal-Insulator-Metal) キャパシタを形成するとともに、前記工程 (b) の実行によって得られた構造の上面上に前記 MIM キャパシタを覆う第 2 の絶縁膜を形成する工程と、

(d) 前記工程 (c) の後に、前記第 2 のコンタクトプラグと接触する第 3 のコンタクトプラグを前記第 2 の絶縁膜内に形成する工程とを更に備え、

前記工程 (c) で形成される前記 MIM キャパシタは、前記第 1 の導電性バリア層と接触する下部電極と、上部電極と、それらの間に挟まれている誘電体膜とを有する、半導体装置の製造方法。

【請求項 2】 前記工程 (b) において、前記メモリ領域における前記半導体基板と電氣的に接続され、上面が前記第 1 の絶縁膜から露出する第 4 のコンタクトプラグを更に形成し、

前記工程 (d) において、前記第 4 のコンタクトプラグと接触する第 5 のコンタクトプラグを前記第 2 の絶縁膜内に更に形成し、

前記工程 (b) で形成される前記第 4 のコンタクトプラグは、上端部に第 2 の

導電性バリア層を、それ以外の部分に第2の導電性膜を有する、請求項1に記載の半導体装置の製造方法。

【請求項3】 (e) 前記工程(a)の前に、前記メモリ領域における前記半導体基板の上面内に互いに所定距離を成す第1, 2のソース・ドレイン領域を形成するとともに、前記第1, 2のソース・ドレイン領域の間の前記半導体基板の上面上にゲート構造を形成する工程を更に備え、

前記工程(a)において、前記ゲート構造を覆って前記第1の絶縁膜を前記半導体基板上に形成し、

前記工程(b)において、前記第1, 4のコンタクトプラグを前記第1, 2のソース・ドレイン領域とそれぞれ電氣的に接続させて形成し

前記工程(d)において、前記第5のコンタクトプラグをその上面を前記第2の絶縁膜から露出させて形成し、

(f) 前記第5のコンタクトプラグと接触するビット線を前記第2の絶縁膜上に形成する工程を更に備える、請求項2に記載の半導体装置の製造方法。

【請求項4】 前記第2の導電性膜は前記第2の導電性バリア層よりも導電率が高く、

前記工程(d)は、

(d-1) 前記第2の導電性バリア層に達する第1のコンタクトホールを前記第2の絶縁膜に形成する工程と、

(d-2) 前記工程(d-1)の実行によって露出した前記第2の導電性バリア層を除去して前記第2の導電性膜を露出し、前記第1の絶縁膜に凹部を形成する工程と、

(d-3) 前記第1のコンタクトホールとそれに連通する前記凹部とを充填する前記第5のコンタクトプラグを形成する工程と

を含む、請求項2及び請求項3のいずれか一つに記載の半導体装置の製造方法。

【請求項5】 前記工程(d)は、

(d-4) 前記工程(d-1)の前に、所定の開口パターンを有するレジストを前記第2の絶縁膜上に形成する工程を更に含み、

前記工程(d-1)において、前記レジストをマスクに用いて前記第2の絶縁

膜をエッチングし、前記第1のコンタクトホールを前記第2の絶縁膜に形成し、

前記工程(d-2)において、前記工程(d-1)で使用した前記レジストを再度マスクに用いて、前記工程(d-1)の実行によって露出した前記第2の導電性バリア層を、前記工程(d-1)で使用したエッチングガスとは異なるエッチングガスによりエッチングして除去する、請求項4に記載の半導体装置の製造方法。

【請求項6】 前記第2の導電性膜は前記第2の導電性バリア層よりも導電率が高く、

前記工程(d)は、

(d-1) 前記第2の絶縁膜上にレジストを形成する工程と、

(d-2) 前記第4のコンタクトプラグの位置に対応させて第1の開口パターンを前記レジストに形成する工程と、

(d-3) 前記第1の開口パターンを有する前記レジストをマスクに用いて前記第2の絶縁膜をエッチングし、前記第4のコンタクトプラグに達する第1のコンタクトホールを前記第2の絶縁膜に形成する工程と、

(d-4) 前記第1のコンタクトホールを充填する前記第5のコンタクトプラグを形成する工程と

を含み、

前記工程(d-2)において、前記第4のコンタクトプラグに対するアライメントをずらして前記第1の開口パターンを前記レジストに形成し、

前記工程(d-3)において、前記第2の絶縁膜に対してオーバーエッチングを実行することによって前記第1のコンタクトホールを前記第1の絶縁膜内にまで延長し、前記第2の導電性バリア層と、前記第2の導電性膜の側面とを露出させる、請求項2及び請求項3のいずれか一つに記載の半導体装置の製造方法。

【請求項7】 前記第2の導電性膜は前記第2の導電性バリア層よりも導電率が高く、

前記工程(d)は、

(d-1) 前記第2の絶縁膜上にレジストを形成する工程と、

(d-2) 前記第4のコンタクトプラグの位置に対応させて第1の開口パター

ンを前記レジストに形成する工程と、

(d-3) 前記第1の開口パターンを有する前記レジストをマスクに用いて前記第2の絶縁膜をエッチングし、前記第4のコンタクトプラグに達する第1のコンタクトホールを前記第2の絶縁膜に形成する工程と、

(d-4) 前記第1のコンタクトホールを充填する前記第5のコンタクトプラグを形成する工程と

を含み、

前記工程(d-2)において、前記第4のコンタクトプラグの径よりも大きい径を有する前記第1の開口パターンを前記レジストに形成し、

前記工程(d-3)において、前記第2の絶縁膜に対してオーバーエッチングを実行することによって前記第1のコンタクトホールを前記第1の絶縁膜内にまで延長し、前記第2の導電性バリア層と、前記第2の導電性膜の側面とを露出させる、請求項2及び請求項3のいずれか一つに記載の半導体装置の製造方法。

【請求項8】 前記工程(b)で形成される前記第2のコンタクトプラグは、上端部に第2の導電性バリア層を、それ以外の部分に第2の導電性膜を有する、請求項1に記載の半導体装置の製造方法。

【請求項9】 前記第2の導電性膜は前記第2の導電性バリア層よりも導電率が高く、

前記工程(d)は、

(d-1) 前記第2の導電性バリア層に達する第1のコンタクトホールを前記第2の絶縁膜に形成する工程と、

(d-2) 前記工程(d-1)の実行によって露出した前記第2の導電性バリア層を除去して前記第2の導電性膜を露出し、前記第1の絶縁膜に凹部を形成する工程と、

(d-3) 前記第1のコンタクトホールとそれに連通する前記凹部とを充填する前記第3のコンタクトプラグを形成する工程と

を含む、請求項8に記載の半導体装置の製造方法。

【請求項10】 前記工程(d)は、

(d-4) 前記工程(d-1)の前に、所定の開口パターンを有するレジスト

を前記第2の絶縁膜上に形成する工程を更に含み、

前記工程(d-1)において、前記レジストをマスクに用いて前記第2の絶縁膜をエッチングし、前記第1のコンタクトホールを前記第2の絶縁膜に形成し、

前記工程(d-2)において、前記工程(d-1)で使用した前記レジストを再度マスクに用いて、前記工程(d-1)の実行によって露出した前記第2の導電性バリア層を、前記工程(d-1)で使用したエッチングガスとは異なるエッチングガスによりエッチングして除去する、請求項9に記載の半導体装置の製造方法。

【請求項11】 前記第2の導電性膜は前記第2の導電性バリア層よりも導電率が高く、

前記工程(d)は、

(d-1) 前記第2の絶縁膜上にレジストを形成する工程と、

(d-2) 前記第2のコンタクトプラグの位置に対応させて第1の開口パターンを前記レジストに形成する工程と、

(d-3) 前記第1の開口パターンを有する前記レジストをマスクに用いて前記第2の絶縁膜をエッチングし、前記第2のコンタクトプラグに達する第1のコンタクトホールを前記第2の絶縁膜に形成する工程と、

(d-4) 前記第1のコンタクトホールを充填する前記第3のコンタクトプラグを形成する工程と

を含み、

前記工程(d-2)において、前記第2のコンタクトプラグに対するアライメントをずらして前記第1の開口パターンを前記レジストに形成し、

前記工程(d-3)において、前記第2の絶縁膜に対してオーバーエッチングを実行することによって前記第1のコンタクトホールを前記第1の絶縁膜内にまで延長し、前記第2の導電性バリア層と、前記第2の導電性膜の側面とを露出させる、請求項8に記載の半導体装置の製造方法。

【請求項12】 前記第2の導電性膜は前記第2の導電性バリア層よりも導電率が高く、

前記工程(d)は、

(d-1) 前記第2の絶縁膜上にレジストを形成する工程と、

(d-2) 前記第2のコンタクトプラグの位置に対応させて第1の開口パターンを前記レジストに形成する工程と、

(d-3) 前記第1の開口パターンを有する前記レジストをマスクに用いて前記第2の絶縁膜をエッチングし、前記第2のコンタクトプラグに達する第1のコンタクトホールを前記第2の絶縁膜に形成する工程と、

(d-4) 前記第1のコンタクトホールを充填する前記第3のコンタクトプラグを形成する工程と
を含み、

前記工程(d-2)において、前記第2のコンタクトプラグの径よりも大きい径を有する前記第1の開口パターンを前記レジストに形成し、

前記工程(d-3)において、前記第2の絶縁膜に対してオーバーエッチングを実行することによって前記第1のコンタクトホールを前記第1の絶縁膜内にまで延長し、前記第2の導電性バリア層と、前記第2の導電性膜の側面とを露出させる、請求項8に記載の半導体装置の製造方法。

【請求項13】 前記工程(d-3)において、前記第2の導電性膜の側面の全周囲を露出させる、請求項7及び請求項12のいずれか一つに記載の半導体装置の製造方法。

【請求項14】 (e) 前記工程(a)の前に、前記メモリ領域における前記半導体基板の上面内に互いに所定距離を成す第1、2のソース・ドレイン領域を形成するとともに、前記第1、2のソース・ドレイン領域の間の前記半導体基板の上面上にゲート構造を形成する工程を更に備え、

前記工程(a)において、前記ゲート構造を覆って前記第1の絶縁膜を前記半導体基板上に形成し、

前記工程(b)において、

前記第1のコンタクトプラグを前記第1のソース・ドレイン領域と電氣的に接続させて形成し、

前記第2のソース・ドレイン領域と電氣的に接続され、上面が前記第1の絶縁膜から露出する第4のコンタクトプラグを更に形成し、

前記工程（d）において、前記第4のコンタクトプラグと接触し、上面が前記第2の絶縁膜から露出する第5のコンタクトプラグを前記第2の絶縁膜内に更に形成し、

（f）前記第5のコンタクトプラグと接触するビット線を前記第2の絶縁膜上に形成する工程を更に備える、請求項1及び請求項8乃至請求項12のいずれか一つに記載の半導体装置の製造方法。

【請求項15】 メモリデバイスが形成されるメモリ領域と、ロジックデバイスが形成されるロジック領域とを有する半導体基板と、

前記半導体基板上に設けられた第1の絶縁膜と、

上面が前記第1の絶縁膜から露出しつつ、前記メモリ領域における前記半導体基板と電氣的に接続されて前記第1の絶縁膜内に設けられた第1のコンタクトプラグと、

上面が前記第1の絶縁膜から露出しつつ、前記ロジック領域における前記半導体基板と電氣的に接続されて前記第1の絶縁膜内に設けられた第2のコンタクトプラグと、

下部電極と、上部電極と、それらに挟まれた誘電体膜とを有し、前記第1のコンタクトプラグの上面と前記下部電極が接触するMIMキャパシタと、

前記MIMキャパシタを覆って前記第1の絶縁膜上に設けられた第2の絶縁膜と、

前記第2のコンタクトプラグと接触させて前記第2の絶縁膜内に設けられた第3のコンタクトプラグと

を備え、

前記第1のコンタクトプラグは、上端部に第1の導電性バリア層を、それ以外の部分に第1の導電性膜を有し、

前記第2のコンタクトプラグは、上端部に第2の導電性バリア層を、それ以外の部分に前記第2の導電性バリア層よりも導電率が高い第2の導電性膜を有し、

前記第3のコンタクトプラグは、前記第1の絶縁膜内に延びており、前記第2の導電性バリア層と、前記第2の導電性膜の側面とに接触している、半導体装置

【請求項 1 6】 前記第 3 のコンタクトプラグは、前記第 2 の導電性膜の側面の全周囲と接触している、請求項 1 5 に記載の半導体装置。

【請求項 1 7】 前記メモリ領域における前記半導体基板の上面内に設けられた、互いに所定距離を成す第 1, 2 のソース・ドレイン領域と、

前記第 1, 2 のソース・ドレイン領域の間の前記半導体基板の上面上に設けられたゲート構造と

を更に備え、

前記第 1 の絶縁膜は前記ゲート構造を覆って前記半導体基板上に設けられており、

前記第 1 のコンタクトプラグは、前記第 1 のソース・ドレイン領域と電氣的に接続されており、

上面が前記第 1 の絶縁膜から露出しつつ、前記第 2 のソース・ドレイン領域と電氣的に接続されて前記第 1 の絶縁膜内に設けられた第 4 のコンタクトプラグと

上面が前記第 2 の絶縁膜から露出しつつ、前記第 4 のコンタクトプラグと接触させて前記第 2 の絶縁膜内に設けられた第 5 のコンタクトプラグと、

前記第 5 のコンタクトプラグと接触させて前記第 2 の絶縁膜上に設けられたビット線と

を更に備える、請求項 1 5 及び請求項 1 6 のいずれか一つに記載の半導体装置。

【請求項 1 8】 メモリデバイスが形成されるメモリ領域と、ロジックデバイスが形成されるロジック領域とを有する半導体基板と、

前記半導体基板上に設けられた第 1 の絶縁膜と、

それぞれの上面が前記第 1 の絶縁層から露出しつつ、それぞれが前記メモリ領域における前記半導体基板と電氣的に接続されて前記第 1 の絶縁膜内に設けられた第 1, 2 のコンタクトプラグと、

上面が前記第 1 の絶縁層から露出しつつ、前記ロジック領域における前記半導体基板と電氣的に接続されて前記第 1 の絶縁膜内に設けられた第 3 のコンタクトプラグと、

下部電極と、上部電極と、そそれに挟まれた誘電体膜とを有し、前記第 1 のコ

ンタクトプラグの上面に下部電極が接触するMIMキャパシタと、

前記MIMキャパシタを覆って前記第1の絶縁膜上に設けられた第2の絶縁膜と、

前記第2のコンタクトプラグと接触させて前記第2の絶縁膜内に設けられた第4のコンタクトプラグと、

前記第3のコンタクトプラグと接触させて前記第2の絶縁膜内に設けられた第5のコンタクトプラグと

を備え、

前記第1のコンタクトプラグは、上端部に第1の導電性バリア層を、それ以外の部分に第1の導電性膜を有し、

前記第2のコンタクトプラグは、上端部に第2の導電性バリア層を、それ以外の部分に前記第2の導電性バリア層よりも導電率が高い第2の導電性膜を有し、

前記第4のコンタクトプラグは、前記第1の絶縁膜内に延びており、前記第2の導電性バリア層と、前記第2の導電性膜の側面とに接触している、半導体装置

【請求項19】 前記第4のコンタクトプラグは、前記第2の導電性膜の側面の全周囲と接触している、請求項18に記載の半導体装置。

【請求項20】 前記メモリ領域における前記半導体基板の上面内に設けられた、互いに所定距離を成す第1、2のソース・ドレイン領域と、

前記第1、2のソース・ドレイン領域の間の前記半導体基板の上面上に設けられたゲート構造と

を更に備え、

前記第1の絶縁膜は前記ゲート構造を覆って前記半導体基板上に設けられており、

前記第1、2のコンタクトプラグは、前記第1、2のソース・ドレイン領域とそれぞれ電氣的に接続されており、

前記第4のコンタクトプラグの上面は前記第2の絶縁膜から露出しており、

前記第4のコンタクトプラグと接触させて前記第2の絶縁膜上に設けられたビット線を更に備える、請求項18及び請求項19のいずれか一つに記載の半導体

装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体基板上にメモリデバイスとロジックデバイスとが形成された、メモリ・ロジック混載型の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、メモリ・ロジック混載型の半導体装置の微細化にともなって、メモリセルの面積が縮小されている。そして、メモリセルの面積が縮小した場合であっても一定のキャパシタ容量を確保するために、メモリセルのキャパシタにMIM (Metal-Insulator-Metal) キャパシタを採用するようになっている。

【0003】

メモリセルのキャパシタにMIMキャパシタを採用した場合、その誘電体膜を形成するプロセスにおいて、下部電極と接続されるコンタクトプラグや、その周辺のコンタクトプラグが酸化されて高抵抗化し、コンタクト抵抗が増加する問題が生じることがあった。この問題を解決するために、コンタクトプラグの上端部に酸化防止用のバリア層を設けて、コンタクト抵抗の増加を防止する技術が特許文献1に開示されている。なお、キャパシタを備える半導体装置に関する技術が特許文献2, 3にも開示されている。

【0004】

【特許文献1】

特開2001-267516号公報

【特許文献2】

特開2001-284541号公報

【非特許文献1】

特開平10-150161号公報

【0005】

【発明が解決しようとする課題】

しかしながら、メモリ・ロジック混載型の半導体装置においては、メモリデバイスでのコンタクト抵抗の低減と、ロジックデバイスでのコンタクト抵抗の低減とを両立させることが困難であった。

【0006】

そこで、本発明は上述の問題に鑑みて成されたものであり、MIMキャパシタの誘電体膜の形成時に酸化処理が実行される場合であっても、メモリデバイスでのコンタクト抵抗の低減とロジックデバイスでのコンタクト抵抗の低減とを両立させることが可能な技術を提供することを目的とする。

【0007】

【課題を解決するための手段】

この発明の半導体装置の製造方法は、(a)メモリデバイスが形成されるメモリ領域と、ロジックデバイスが形成されるロジック領域とを有する半導体基板上に第1の絶縁膜を形成する工程と、(b)前記メモリ領域における前記半導体基板と電氣的に接続され、上面が前記第1の絶縁膜から露出する第1のコンタクトプラグと、前記ロジック領域における前記半導体基板と電氣的に接続され、上面が前記第1の絶縁膜から露出する第2のコンタクトプラグとを、前記第1の絶縁膜内に形成する工程とを備え、前記工程(b)で形成される前記第1のコンタクトプラグは、第1の導電性膜と、その上端部に形成された第1の導電性バリア層を有し、(c)前記第1の導電性バリア層と接触するMIMキャパシタを形成するとともに、前記工程(b)の実行によって得られた構造の上面上に前記MIMキャパシタを覆う第2の絶縁膜を形成する工程と、(d)前記工程(c)の後に、前記第2のコンタクトプラグと接触する第3のコンタクトプラグを前記第2の絶縁膜内に形成する工程とを更に備え、前記工程(c)で形成される前記MIMキャパシタは、前記第1の導電性バリア層と接触する下部電極と、上部電極と、それらの間に挟まれている誘電体膜とを有する。

【0008】

また、この発明の第1の半導体装置は、メモリデバイスが形成されるメモリ領域と、ロジックデバイスが形成されるロジック領域とを有する半導体基板と、前

記半導体基板上に設けられた第1の絶縁膜と、上面が前記第1の絶縁膜から露出しつつ、前記メモリ領域における前記半導体基板と電氣的に接続されて前記第1の絶縁膜内に設けられた第1のコンタクトプラグと、上面が前記第1の絶縁膜から露出しつつ、前記ロジック領域における前記半導体基板と電氣的に接続されて前記第1の絶縁膜内に設けられた第2のコンタクトプラグと、下部電極と、上部電極と、それらに挟まれた誘電体膜とを有し、前記第1のコンタクトプラグの上面と前記下部電極が接触するMIMキャパシタと、前記MIMキャパシタを覆って前記第1の絶縁膜上に設けられた第2の絶縁膜と、前記第2のコンタクトプラグと接触させて前記第2の絶縁膜内に設けられた第3のコンタクトプラグとを備え、前記第1のコンタクトプラグは、上端部に第1の導電性バリア層を、それ以外の部分に第1の導電性膜を有し、前記第2のコンタクトプラグは、上端部に第2の導電性バリア層を、それ以外の部分に前記第2の導電性バリア層よりも導電率が高い第2の導電性膜を有し、前記第3のコンタクトプラグは、前記第1の絶縁膜内に延びており、前記第2の導電性バリア層と、前記第2の導電性膜の側面とに接触している。

【0009】

また、この発明の第2の半導体装置は、メモリデバイスが形成されるメモリ領域と、ロジックデバイスが形成されるロジック領域とを有する半導体基板と、前記半導体基板上に設けられた第1の絶縁膜と、それぞれの上面が前記第1の絶縁層から露出しつつ、それぞれが前記メモリ領域における前記半導体基板と電氣的に接続されて前記第1の絶縁膜内に設けられた第1、2のコンタクトプラグと、上面が前記第1の絶縁層から露出しつつ、前記ロジック領域における前記半導体基板と電氣的に接続されて前記第1の絶縁膜内に設けられた第3のコンタクトプラグと、下部電極と、上部電極と、それらに挟まれた誘電体膜とを有し、前記第1のコンタクトプラグの上面に下部電極が接触するMIMキャパシタと、前記MIMキャパシタを覆って前記第1の絶縁膜上に設けられた第2の絶縁膜と、前記第2のコンタクトプラグと接触させて前記第2の絶縁膜内に設けられた第4のコンタクトプラグと、前記第3のコンタクトプラグと接触させて前記第2の絶縁膜内に設けられた第5のコンタクトプラグとを備え、前記第1のコンタクトプラグ

は、上端部に第1の導電性バリア層を、それ以外の部分に第1の導電性膜を有し、前記第2のコンタクトプラグは、上端部に第2の導電性バリア層を、それ以外の部分に前記第2の導電性バリア層よりも導電率が高い第2の導電性膜を有し、前記第4のコンタクトプラグは、前記第1の絶縁膜内に延びており、前記第2の導電性バリア層と、前記第2の導電性膜の側面とに接触している。

【0010】

【発明の実施の形態】

実施の形態1.

図1～16は本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。本実施の形態1に係る半導体装置は、メモリ・ロジック混載型の半導体装置であって、メモリデバイスとしては例えばCUB (Capacitor Under Bit line) 構造のメモリセルを有するDRAMを備え、ロジックデバイスとしては例えばサリサイドCMOSトランジスタを備えている。また、DRAMメモリセルのキャパシタとして例えばConcave型MIMキャパシタを備えている。以下に、図1～16を参照して本実施の形態1に係る半導体装置の製造方法について説明する。

【0011】

図1に示されるように、まず、周知のLOCOS分離技術やトレンチ分離技術によって、例えばn型のシリコン基板である半導体基板1の上面内に素子分離絶縁膜2を形成する。そして、メモリデバイスが形成される領域（以後、「メモリ領域」と呼ぶ）における半導体基板1の上面内にp型のウェル領域53を形成し、ロジックデバイスが形成される領域（以後、「ロジック領域」と呼ぶ）における半導体基板1の上面内にp型のウェル領域3を形成する。

【0012】

次に、メモリ領域におけるウェル領域53の上面内に、互いに所定距離を成す複数のn型のソース・ドレイン領域59を形成するとともに、それらのソース・ドレイン領域59の間のウェル領域53の上面上にゲート構造61を形成する。また、ロジック領域におけるウェル領域3の上面内に、互いに所定距離を成す複数のn型のソース・ドレイン領域9を形成するとともに、それらのソース・ドレ

イン領域 9 の間のウェル領域 3 の上面上にゲート構造 1 1 を形成する。

【 0 0 1 3 】

メモリ領域のゲート構造 6 1 は、例えばシリコン酸化膜が採用されるゲート絶縁膜 5 5 と、例えば多結晶シリコン膜が採用されるゲート電極 5 6 と、例えばシリコン窒化膜が採用されるサイドウォール 6 0 とを備えている。ゲート構造 6 1 の形成後においては、ソース・ドレイン領域 5 9 の間のウェル領域 5 3 の上面上にゲート絶縁膜 5 5 が設けられており、ゲート絶縁膜 5 5 上にゲート電極 5 6 が設けられている。そして、ゲート絶縁膜 5 5 及びゲート電極 5 6 の側面上にサイドウォール 6 0 が設けられている。

【 0 0 1 4 】

ロジック領域のゲート構造 1 1 は、例えばシリコン酸化膜が採用されるゲート絶縁膜 5 と、例えば多結晶シリコン膜が採用されるゲート電極 6 と、例えばシリコン窒化膜が採用されるサイドウォール 1 0 とを備えている。ゲート構造 1 1 の形成後においては、ソース・ドレイン領域 9 の間のウェル領域 3 の上面上にゲート絶縁膜 5 が設けられており、ゲート絶縁膜 5 上にゲート電極 6 が設けられている。そして、ゲート絶縁膜 5 及びゲート電極 6 の側面上にサイドウォール 1 0 が設けられている。

【 0 0 1 5 】

次に、ゲート電極 6，5 6 の上面及びソース・ドレイン領域 9，5 9 の上面をシリサイド化して、各ゲート電極 6，5 6 の上面上にシリサイド膜 1 2 を形成するとともに、各ソース・ドレイン領域 9，5 9 の上面上にシリサイド膜 1 2 を形成する。なお、シリサイド膜 1 2 には例えばコバルトシリサイド膜が採用される。

【 0 0 1 6 】

次に図 2 に示されるように、ゲート構造 1 1，6 1 を覆って半導体基板 1 上に絶縁膜 1 4 を形成する。絶縁膜 1 4 は例えば B P T E O S 膜が採用され、層間絶縁膜として機能する。

【 0 0 1 7 】

次に、所定の開口パターンを有するレジスト（図示せず）を写真製版法によっ

て絶縁膜 14 上に形成し、かかるレジストをマスクに用いて絶縁膜 14 をエッチングして部分的に除去する。このときのエッチングでは、 C_4F_6 と O_2 とArとの混合ガスを使用する異方性ドライエッチングが採用される。そして、マスクに使用したレジストを除去する。

【0018】

これにより、図3に示されるように、メモリ領域における半導体基板1上のシリサイド膜12に達するコンタクトホール65と、ロジック領域における半導体基板1上のシリサイド膜12に達するコンタクトホール15とが絶縁膜14に形成される。

【0019】

次に、コンタクトホール15、65を充填する、タングステン等から成る高融点金属膜を全面に形成する。そして、例えばCMP法を用いて絶縁膜14の上面上の高融点金属膜を除去する。これにより、図4に示されるように、高融点金属膜から成りコンタクトホール15を充填する導電性膜16と、高融点金属膜から成りコンタクトホール65を充填する導電性膜66とが絶縁膜14内に形成される。

【0020】

次に図5に示されるように、エキシマ露光対応のレジスト30を全面に形成し、後の工程で形成されるキャパシタと電氣的に接続される導電性膜66の上面を露出する開口パターンを、エキシマレーザーを光源として用いた写真製版法によってレジスト30に形成する。そして図6に示されるように、レジスト30をマスクに用いて露出している部分に対してエッチングを実行し、キャパシタと接続される導電性膜66の上端部を選択的に除去する。これにより、メモリ領域における絶縁膜14に凹部81が形成される。このときのエッチングでは、エッチングガスとして SF_6 を使用する異方性ドライエッチングが採用される。

【0021】

次に図7に示されるように、マスクに使用したレジスト30を除去する。そして、窒化チタン(TiN)、窒化タンタル(TaN)、あるいは窒化チタンシリサイド(TiSiN)等から成り、各凹部81を充填するバリア層材料を全面に

形成し、例えばCMP法を用いて凹部81よりも上方のバリア層材料を除去する。これにより、図8に示されるように、窒化チタン、窒化タンタル、あるいは窒化チタンシリサイド等から成り、各凹部81を充填する導電性バリア層82が絶縁膜14内に形成される。

【0022】

以上の工程により、メモリ領域における絶縁膜14には、導電性膜66から成るコンタクトプラグ83aと、上端部に導電性バリア層82を、それ以外の部分に導電性膜66を有するコンタクトプラグ83bとが形成される。また、ロジック領域における絶縁膜14には、導電性膜16から成るコンタクトプラグ33が形成される。なお、使用されている材料から明らかなように、導電性バリア層82は導電性膜16、66よりも導電率が低い。

【0023】

コンタクトプラグ33は、その上面が絶縁膜14から露出しており、半導体基板1の上面内に形成されたソース・ドレイン領域9とシリサイド膜12を介して電氣的に接続されている。

【0024】

コンタクトプラグ83aは、その上面が絶縁膜14から露出しており、互いに隣り合うソース・ドレイン領域59のうち、後の工程で形成されるビット線と電氣的に接続されるソース・ドレイン領域59とシリサイド膜12を介して電氣的に接続されている。

【0025】

コンタクトプラグ83bは、その上面が、つまり導電性バリア層82の上面が絶縁膜14から露出しており、互いに隣り合うソース・ドレイン領域59のうち、後の工程で形成されるキャパシタと電氣的に接続されるソース・ドレイン領域59とシリサイド膜12を介して電氣的に接続されている。

【0026】

次に図9に示されるように、絶縁膜14及びコンタクトプラグ33、83a、83bの上に、例えばシリコン窒化膜が採用されるストッパ膜17を形成する。そして、ストッパ膜17上に層間絶縁膜18を形成する。層間絶縁膜18には例

えばBPTEOS膜が採用される。

【0027】

次に、所定の開口パターンを有するレジスト（図示せず）を層間絶縁膜18上に形成し、かかるレジストをマスクに用いて、ストッパ膜17をエッチングストップパとして、層間絶縁膜18をエッチングして除去する。このときのエッチングでは、 C_4F_6 と O_2 とArとの混合ガスを使用する異方性ドライエッチングが採用される。

【0028】

そして、層間絶縁膜18のエッチングの際に使用したレジストを再度マスクに使用して、露出しているストッパ膜17をエッチングして除去し、その後レジストを除去する。このときのエッチングでは、 CHF_3 をエッチングガスとして使用する異方性ドライエッチングが採用される。これにより、図10に示されるように、キャパシタと接続されるコンタクトプラグ83bを露出させる開口部69が層間絶縁膜18内及びストッパ膜17内に形成される。

【0029】

次に、コンタクトプラグ83bの導電性バリア層82に接触する、DRAMメモリセルのキャパシタを開口部69内に形成する。具体的には、まずルテニウム（Ru）、窒化チタン（TiN）、あるいは白金（Pt）等から成る下部電極材料を全面に形成する。そして、開口部69にレジスト（図示せず）を充填し、層間絶縁膜18の上面上の下部電極材料を異方性ドライエッチングにて除去し、その後レジストを除去する。これにより、図11に示されるように、ルテニウム、窒化チタン、あるいは白金等から成るキャパシタの下部電極70が開口部69内に形成される。なお、異方性ドライエッチングで層間絶縁膜18の上面上の下部電極材料を除去したが、CMP法を用いて、かかる電極材料を除去しても良い。

【0030】

次に、酸化タンタル（ Ta_2O_5 ）、酸化アルミニウム（ Al_2O_3 ）、あるいはチタン酸バリウムストロンチウム（BST）等から成る誘電体膜材料と、ルテニウム、窒化チタン、あるいは白金等から成る上部電極材料とをこの順で全面に積層した後、レジストを用いてこれらをパターンニングする。これにより、図12

に示されるように、ルテニウム、窒化チタン、あるいは白金等から成るキャパシタの上部電極72と、下部電極70と上部電極72とに挟まれた、酸化タンタル、酸化アルミニウム、あるいはチタン酸バリウムストロンチウム等から成るキャパシタの誘電体膜71とが形成され、開口部69内にキャパシタ73が完成する。

【0031】

ここで、MIMキャパシタであるキャパシタ73の誘電体膜71を形成する際には、有機金属原料ガスを用いたMOCVD (Metal Organic CVD) 法が使用される。このMOCVD法では、誘電体膜材料の堆積時にUV- O_3 酸化やプラズマ酸化をともなう酸素補填処理が行われたり、堆積後には結晶化のための酸素雰囲気中でのランプアニール処理が行われる。このとき、生成される酸化種が下部電極70を通過してコンタクトプラグ83bに到達し、導電性バリア層82が無い場合には、コンタクトプラグ83bの導電性膜66が酸化されてしまう。しかしながら、本実施の形態1では、コンタクトプラグ83bの上端部に設けられた導電性バリア層82が酸化防止膜として作用するため、キャパシタ73の誘電体膜71の形成時にコンタクトプラグ83bの導電性膜66が酸化されることを防止することができる。

【0032】

次に図13に示されるように、キャパシタ73の上部電極72と層間絶縁膜18の上に、例えばTEOS膜が採用される層間絶縁膜23を形成し、CMP法によって平坦化する。これにより、ストッパ膜17及び層間絶縁膜18, 23から成り、キャパシタ73を覆う絶縁膜31が絶縁膜14及びコンタクトプラグ33, 83aの上に形成される。

【0033】

次に図14に示されるように、コンタクトプラグ33の位置に対応して設けられた開口パターン39aと、コンタクトプラグ83aの位置に対応して設けられた開口パターン39bとを有するレジスト38を絶縁膜31上に形成し、かかるレジスト38をマスクに用いて、ストッパ膜17をエッチングストッパとして、層間絶縁膜18, 23をエッチングして部分的に除去する。このときのエッチン

グでは、 C_4F_6 と O_2 とArとの混合ガスを使用する異方性ドライエッチングが採用される。そして、レジスト38を再度マスクに用いて、露出しているストップ膜17をエッチングして除去する。このときのエッチングでは、 CHF_3 をエッチングガスとして使用する異方性ドライエッチングが採用される。

【0034】

これにより、コンタクトプラグ33に達するコンタクトホール24と、コンタクトプラグ83aに達するコンタクトホール74とが絶縁膜31に形成される。

【0035】

次にレジスト38を除去して、コンタクトホール24、74を充填する、タングステン等から成る高融点金属膜を全面に形成する。そして、例えばCMP法を用いて絶縁膜31の上面上の高融点金属膜を除去する。これにより、図15に示されるように、高融点金属膜から成りコンタクトホール24を充填するコンタクトプラグ25がロジック領域における絶縁膜31に形成され、コンタクトプラグ33とコンタクトプラグ25とが互いに接触する。また、高融点金属膜から成りコンタクトホール74を充填するコンタクトプラグ75がメモリ領域における絶縁膜31に形成され、コンタクトプラグ83aとコンタクトプラグ75とが互いに接触する。

【0036】

次に図16に示されるように、絶縁膜31上に、コンタクトプラグ25と接触させて配線26を形成し、コンタクトプラグ75と接触させてDRAMメモリセルのビット線76を形成する。配線26及びビット線76には例えばアルミ配線が採用される。

【0037】

以上の工程により、メモリ領域にはConcave型MIMキャパシタを備えるメモリデバイスが形成され、ロジック領域にはスタック構造を備えるロジックデバイスが形成される。

【0038】

このように本実施の形態1に係る半導体装置の製造方法では、キャパシタ73と接続されるコンタクトプラグ83bの上端部には、酸化防止用の導電性バリア

層 8 2 が形成されているため、キャパシタ 7 3 の誘電体膜 7 1 の形成時にコンタクトプラグ 8 3 b の導電性膜 6 6 が酸化されることが無い。従って、キャパシタ 7 3 とソース・ドレイン領域 5 9 との間のコンタクト抵抗を低減できる。更に、ロジック領域ではスタック構造が採用されているため、コンタクトプラグのアスペクト比の増大によるコンタクト不良を低減できる。従って、本実施の形態 1 のようにキャパシタ 7 3 の誘電体膜 7 1 の形成時に酸化処理が実行される場合であっても、メモリデバイスでのコンタクト抵抗の低減とロジックデバイスでのコンタクト抵抗の低減とを両立させることが可能となる。

【 0 0 3 9 】

なお、本実施の形態 1 では、DRAM メモリセルのキャパシタ 7 3 として Concave 型 MIM キャパシタを備える半導体装置の製造方法について説明したが、キャパシタ 7 3 として他の構造の MIM キャパシタを備える半導体装置の製造方法にも本発明を適用することができる。例えば、図 1 7 に示されるようなサポート付き Cylinder 型 MIM キャパシタや、図 1 8 に示されるような Pillar 型 MIM キャパシタや、図 1 9 に示されるような厚膜スタック型 MIM キャパシタを備える半導体装置の製造方法に本発明を適用することができる。

【 0 0 4 0 】

キャパシタ 7 3 としてサポート付き Cylinder 型 MIM キャパシタを採用した場合には、本実施の形態 1 に係る半導体装置よりも蓄積容量を増加させることができ、Pillar 型 MIM キャパシタを採用した場合や厚膜スタック型 MIM キャパシタを採用した場合には、上部電極 7 2 を形成する際の成膜カバレージが優れるため、本実施の形態 1 に係る半導体装置よりもキャパシタ 7 3 のリーク電流を低減できる。

【 0 0 4 1 】

また、Pillar 型 MIM キャパシタを採用した場合や厚膜スタック型 MIM キャパシタを採用した場合には、コンタクトプラグ 2 5、7 5 のアスペクト比を小さくすることができるため、図 2 0 や図 2 1 に示されるように、コンタクトプラグ 2 5 と配線 2 6 とを、あるいはコンタクトプラグ 7 5 とビット線 7 6 とをデュアル・ダマシン法を用いて一体的に形成しても良い。

【 0 0 4 2 】

なお、厚膜スタック型MIMキャパシタを採用した場合には、絶縁膜31の層間絶縁膜18は製造過程で除去されるため、図19、21では図示されていない。

【 0 0 4 3 】

また、本実施の形態1では、絶縁膜14及び層間絶縁膜18、23に対するエッチングでは、 C_4F_6 と O_2 とArとの混合ガスを使用したか、 C_5F_8 や C_4F_6 と O_2 とArとの混合ガスを使用しても良い。

【 0 0 4 4 】

実施の形態2.

上述の実施の形態1では、キャパシタ73と接続されるコンタクトプラグ83bの上端部に導電性バリア層82を設けていたが、キャパシタ73の誘電体膜71の形成時には、コンタクトプラグ83bだけではなく、その周辺のメモリ領域におけるコンタクトプラグ83aも酸化される場合がある。

【 0 0 4 5 】

そこで、本実施の形態2では、DRAMメモリセルのビット線76と電氣的に接続されるコンタクトプラグ83aの上端部にも導電性バリア層82を形成する場合の製造方法について説明する。

【 0 0 4 6 】

図22～30は本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。まず、実施の形態1に係る製造方法を用いて上述の図4に示される構造を得る。そして図22に示されるように、i線露光対応のレジスト35を全面に形成し、メモリ領域を開口する開口パターンをi線を光源として用いた写真製版法によってレジスト35に形成する。そして図23に示されるように、レジスト35をマスクに用いて露出している部分に対してエッチングを実行し、キャパシタ73と電氣的に接続される導電性膜66の上端部とビット線76と電氣的に接続される導電性膜66の上端部とを選択的に除去する。これにより、メモリ領域における絶縁膜14に凹部81が形成される。このときのエッチングでは、エッチングガスとして SF_6 を使用する異方性ドライエッチングが採用さ

れる。

【0047】

本実施の形態2では、実施の形態1とは異なり、ビット線76と電氣的に接続される導電性膜66をレジストでマスクする必要がないため、レジスト35にはメモリ領域すべてを開口する開口パターンを形成している。従って、本実施の形態2では、実施の形態1で使用したエキシマ露光対応のレジスト30よりも安価なi線露光対応のレジスト35を採用することができる。そして、レジスト35に開口パターンを形成する際には実施の形態1よりも安価な露光装置を使用することができる。

【0048】

次に図24に示されるように、マスクに使用したレジスト35を除去する。そして、窒化チタン、窒化タンタル、あるいは窒化チタンシリサイド等から成り、各凹部81を充填するバリア層材料を全面に形成し、例えばCMP法を用いて凹部81よりも上方のバリア層材料を除去する。これにより、図25に示されるように、各凹部81を充填する導電性バリア層82が絶縁膜14内に形成される。

【0049】

以上の工程により、メモリ領域における絶縁膜14には、互いに隣り合うソース・ドレイン領域59の一方に電氣的に接続され、上端部に導電性バリア層82を、それ以外の部分に導電性膜66を有するコンタクトプラグ83aと、互いに隣り合うソース・ドレイン領域59の他方に電氣的に接続され、上端部に導電性バリア層82を、それ以外の部分に導電性膜66を有するコンタクトプラグ83bとが形成される。また、ロジック領域における絶縁膜14には、導電性膜16から成るコンタクトプラグ33が形成される。

【0050】

次に図26に示されるように、絶縁膜14及びコンタクトプラグ33、83a、83bの上に、ストッパ膜17及び層間絶縁膜18をこの順で堆積する。そして図27に示されるように、実施の形態1と同様にして開口部69、キャパシタ73及び層間絶縁膜23を順次形成する。なお、図27に示されるキャパシタ73はConcave型MIMキャパシタである。

【0051】

次に図28に示されるように、開口パターン39a、39bを有するレジスト38を絶縁膜31上に形成し、かかるレジスト38をマスクに用いて、層間絶縁膜18、23及びストッパ膜17をエッチングして除去する。これにより、コンタクトプラグ33に達するコンタクトホール24と、コンタクトプラグ83aの導電性バリア層82に達するコンタクトホール74とが絶縁膜31に形成される。

【0052】

次にレジスト38を除去して、図29に示されるように、コンタクトホール24を充填するコンタクトプラグ25と、コンタクトホール74を充填するコンタクトプラグ75とを形成する。これにより、コンタクトプラグ33とコンタクトプラグ25とが互いに接触し、コンタクトプラグ83aの導電性バリア層82とコンタクトプラグ75とが互いに接触する。

【0053】

次に図30に示されるように、絶縁膜31上に配線26及びビット線76を形成する。

【0054】

以上の工程により、メモリ領域にはメモリデバイスが形成され、ロジック領域にはロジックデバイスが形成される。

【0055】

このように本実施の形態2に係る半導体装置の製造方法では、キャパシタ73と接続されるコンタクトプラグ83bの上端部のみならず、ビット線76及びコンタクトプラグ75と電氣的に接続されるコンタクトプラグ83aの上端部にも酸化防止用の導電性バリア層82が形成されているため、キャパシタ73の誘電体膜71の形成時にコンタクトプラグ83aの導電性膜66が酸化されることが無い。従って、ビット線76あるいはコンタクトプラグ75とソース・ドレイン領域59との間のコンタクト抵抗を低減できる。

【0056】

なお、本実施の形態2では、DRAMメモリセルのキャパシタ73としてC₀

ncave型MIMキャパシタを備える半導体装置の製造方法について説明したが、実施の形態1と同様に、キャパシタ73として他の構造のMIMキャパシタを備える半導体装置の製造方法にも本発明を適用することができる。例えば、図31に示されるようなサポート付きCylinder型MIMキャパシタや、図32に示されるようなPillar型MIMキャパシタや、図33に示されるような厚膜スタック型MIMキャパシタを備える半導体装置の製造方法に本発明を適用することができる。

【0057】

また、Pillar型MIMキャパシタを採用した場合や厚膜スタック型MIMキャパシタを採用した場合には、コンタクトプラグ25、75のアスペクト比を小さくすることができるため、図34や図35に示されるように、コンタクトプラグ25と配線26とを、あるいはコンタクトプラグ75とビット線76とをデュアル・ダマシン法を用いて一体的に形成しても良い。

【0058】

なお、厚膜スタック型MIMキャパシタを採用した場合には、絶縁膜31の層間絶縁膜18は製造過程で除去されるため、図33、35では図示されていない。

【0059】

実施の形態3.

上述の実施の形態2では、メモリ領域におけるコンタクトプラグ83a、83bの上端部に導電性バリア層82を設けていたが、キャパシタ73の誘電体膜71の形成時には、メモリ領域だけではなく、ロジック領域におけるコンタクトプラグ33も酸化される場合がある。

【0060】

そこで、本実施の形態2では、ロジック領域におけるコンタクトプラグ33の上端部にも導電性バリア層を形成する場合の製造方法について説明する。

【0061】

図36～42は本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。まず、実施の形態1に係る製造方法を用いて上述の図4に示

される構造を得る。そして図36に示されるように、レジストを形成せずに、全面に対してエッチングを行って、メモリ領域における各導電性膜66の上端部とロジック領域における各導電性膜16の上端部とを選択的に除去する。これにより、メモリ領域における絶縁膜14に凹部81が形成され、ロジック領域における絶縁膜14には凹部41が形成される。このときのエッチングでは、エッチングガスとして SF_6 を使用する異方性ドライエッチングが採用される。

【0062】

次に、窒化チタン、窒化タンタル、あるいは窒化チタンシリサイド等から成り、各凹部41, 81を充填するバリア層材料を全面に形成し、例えばCMP法を用いて凹部41, 81よりも上方のバリア層材料を除去する。これにより、図37に示されるように、メモリ領域の各凹部81を充填する導電性バリア層82が絶縁膜14内に形成され、更に、窒化チタン、窒化タンタル、あるいは窒化チタンシリサイド等から成り、ロジック領域の各凹部41を充填する導電性バリア層42が絶縁膜14内に形成される。

【0063】

以上の工程により、メモリ領域における絶縁膜14には、上端部に導電性バリア層82を有するコンタクトプラグ83aと、同じく上端部に導電性バリア層82を有するコンタクトプラグ83bとが形成される。また、ロジック領域における絶縁膜14には、上端部に導電性バリア層42を、それ以外の部分には導電性膜16を有するコンタクトプラグ33が形成される。なお、導電性バリア層82と同様に導電性バリア層42も導電性膜16, 66よりも導電率が低い。

【0064】

次に図38に示されるように、絶縁膜14及びコンタクトプラグ33, 83a, 83bの上に、ストッパ膜17及び層間絶縁膜18をこの順で堆積する。そして図39に示されるように、実施の形態1と同様にして開口部69、キャパシタ73及び層間絶縁膜23を順次形成する。なお、図39に示されるキャパシタ73はConcave型MIMキャパシタである。

【0065】

次に図40に示されるように、開口パターン39a, 39bを有するレジスト

38を絶縁膜31上に形成し、かかるレジスト38をマスクに用いて、層間絶縁膜18、23及びストッパ膜17をエッチングして除去する。これにより、コンタクトプラグ33の導電性バリア層42に達するコンタクトホール24と、コンタクトプラグ83aの導電性バリア層82に達するコンタクトホール74とが絶縁膜31に形成される。

【0066】

次にレジスト38を除去して、図41に示されるように、コンタクトホール24を充填するコンタクトプラグ25と、コンタクトホール74を充填するコンタクトプラグ75とを形成する。これにより、コンタクトプラグ33の導電性バリア層42とコンタクトプラグ25とが互いに接触し、コンタクトプラグ83aの導電性バリア層82とコンタクトプラグ75とが互いに接触する。

【0067】

次に図42に示されるように、絶縁膜31上に配線26及びビット線76を形成する。

【0068】

以上の工程により、メモリ領域にはメモリデバイスが形成され、ロジック領域にはロジックデバイスが形成される。

【0069】

このように本実施の形態3に係る半導体装置の製造方法では、メモリ領域におけるコンタクトプラグ83a、83bの上端部のみならず、ロジック領域における下層のコンタクトプラグ33の上端部にも酸化防止用の導電性バリア層42が形成されているため、キャパシタ73の誘電体膜71の形成時にコンタクトプラグ33の導電性膜16が酸化されることが無い。従って、ロジック領域における上層のコンタクトプラグ25とソース・ドレイン領域9との間のコンタクト抵抗を更に低減できる。

【0070】

なお、本実施の形態3では、DRAMメモリセルのキャパシタ73としてConcave型MIMキャパシタを備える半導体装置の製造方法について説明したが、実施の形態1、2と同様に、キャパシタ73として他の構造のMIMキャパ

シタを備える半導体装置の製造方法にも本発明を適用することができる。例えば、図 4 3 に示されるようなサポート付き Cylinder 型 MIM キャパシタや、図 4 4 に示されるような Pillar 型 MIM キャパシタや、図 4 5 に示されるような厚膜スタック型 MIM キャパシタを備える半導体装置の製造方法に本発明を適用することができる。

【 0 0 7 1 】

また、Pillar 型 MIM キャパシタを採用した場合や厚膜スタック型 MIM キャパシタを採用した場合には、コンタクトプラグ 2 5，7 5 のアスペクト比を小さくすることができるため、図 4 6 や図 4 7 に示されるように、コンタクトプラグ 2 5 と配線 2 6 とを、あるいはコンタクトプラグ 7 5 とビット線 7 6 とをデュアル・ダマシン法を用いて一体的に形成しても良い。

【 0 0 7 2 】

なお、厚膜スタック型 MIM キャパシタを採用した場合には、絶縁膜 3 1 の層間絶縁膜 1 8 は製造過程で除去されるため、図 4 5，4 7 では図示されていない。

【 0 0 7 3 】

実施の形態 4.

上述の実施の形態 3 に係る製造方法で製造された半導体装置では、図 4 2 に示されるように、コンタクトプラグ 3 3，8 3 a の上端部には酸化防止膜として作用する導電性バリア層 4 2，8 2 が残存したままであったが、キャパシタ 7 3 形成後には、導電性バリア層 4 2，8 2 は不要のため除去しても良い。本実施の形態 4 では、キャパシタ 7 3 形成後に導電性バリア層 4 2，8 2 を除去する方法について説明する。

【 0 0 7 4 】

図 4 8 ～ 5 0 は本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。まず、実施の形態 3 に係る製造方法を用いて図 3 9 に示される構造を得る。そして図 4 8 に示されるように、開口パターン 3 9 a，3 9 b を有するレジスト 3 8 を絶縁膜 3 1 上に形成し、かかるレジスト 3 8 をマスクに用いて、ストッパ膜 1 7 をエッチングストッパとして、層間絶縁膜 1 8，2 3 をエ

ッティングして除去する。このときのエッチングでは、 C_4F_6 と O_2 とArとの混合ガスを使用する異方性ドライエッチングが採用される。そして、使用するエッチングガスを変更し、レジスト38を再度マスクに用いて露出しているストッパ膜17をエッチングして除去する。このときのエッチングでは、 CHF_3 をエッチングガスとして使用する異方性ドライエッチングが採用される。

【0075】

これにより、コンタクトプラグ83aに達するコンタクトホール74と、コンタクトプラグ33に達するコンタクトホール24とが絶縁膜31に形成される。

【0076】

次に、再度使用するエッチングガスを変更し、レジスト38をマスクに用いて露出している導電性バリア層42、82をエッチングして除去する。このときのエッチングには、 Cl_2 と CHF_3 との混合ガスを使用する異方性ドライエッチングが採用される。

【0077】

これにより、コンタクトプラグ83aの導電性膜66を露出しつつ、コンタクトホール74と連通する凹部93がメモリ領域における絶縁膜14に形成される。同時に、コンタクトプラグ33の導電性膜16を露出しつつ、コンタクトホール24と連通する凹部43がロジック領域における絶縁膜14に形成される。

【0078】

次にレジスト38を除去して、凹部43、93及びコンタクトホール24、74を充填する、タングステン等から成る高融点金属膜を全面に形成する。そして、例えばCMP法を用いて絶縁膜31の上面上の高融点金属膜を除去する。これにより、図49に示されるように、コンタクトホール24及び凹部43を充填するコンタクトプラグ25がロジック領域における絶縁膜14、31に形成され、コンタクトプラグ33の導電性膜16とコンタクトプラグ25とが互いに接触する。また、コンタクトホール74及び凹部93を充填するコンタクトプラグ75がメモリ領域における絶縁膜14、31に形成され、コンタクトプラグ83aの導電性膜66とコンタクトプラグ75とが互いに接触する。その後、図50に示されるように、配線26とビット線76とを絶縁膜31上に形成し、メモリ・ロ

ジック混載型の半導体装置が完成する。

【0079】

このように、本実施の形態4に係る半導体装置の製造方法では、キャパシタ73の形成後に、メモリ領域におけるコンタクトプラグ83aの上端部に設けられた導電性バリア層82を除去しているため、上層のコンタクトプラグ75は下層のコンタクトプラグ83aの導電性膜66と接触する。また、導電性膜66は導電性バリア層82よりも導電率が高い。従って、上層のコンタクトプラグ75が下層のコンタクトプラグ83aの導電性バリア層82に接触して形成される実施の形態3に係る製造方法よりも、上層のコンタクトプラグ75と下層のコンタクトプラグ83aとの間の接触抵抗を低減できる。その結果、コンタクトプラグ75あるいはビット線76とソース・ドレイン領域59との間のコンタクト抵抗を更に低減することができる。

【0080】

また、キャパシタ73の形成後に、ロジック領域におけるコンタクトプラグ33の上端部に設けられた導電性バリア層42を除去しているため、上層のコンタクトプラグ25は下層のコンタクトプラグ33の導電性膜16と接触する。また、導電性膜16は導電性バリア層42よりも導電率が高い。従って、上層のコンタクトプラグ25が下層のコンタクトプラグ33の導電性バリア層42に接触して形成される実施の形態3に係る製造方法よりも、上層のコンタクトプラグ25と下層のコンタクトプラグ33との間の接触抵抗を低減できる。その結果、コンタクトプラグ25とソース・ドレイン領域9との間のコンタクト抵抗を更に低減することができる。

【0081】

また、本実施の形態4では、絶縁膜31にコンタクトホール24，74を形成する際に使用したレジスト38を用いつつ、エッチングガスを切り替えて導電性バリア層42，82を除去しているため、少ない工程数で導電性バリア層42，82を除去することができる。

【0082】

実施の形態5.

図51は本発明の実施の形態5に係る半導体装置の構造を示す断面図である。本実施の形態5に係る半導体装置は、上述の図42に示される構造からコンタクトプラグ25の形状を変形したものである。従って、本実施の形態5に係る半導体装置に関して、実施の形態1～4で述べた内容については説明を省略する場合がある。

【0083】

図51に示されるように、本実施の形態5に係る半導体装置は、半導体基板1と、半導体基板1上に設けられた絶縁膜14と、絶縁膜14内に設けられたコンタクトプラグ33、83a、83bと、コンタクトプラグ83bと接触させて絶縁膜14上に設けられたキャパシタ73と、キャパシタ73を覆って絶縁膜14上に設けられた絶縁膜31と、絶縁膜31内に設けられたコンタクトプラグ25、75と、絶縁膜31上に設けられた配線26及びビット線76とを備えている。

【0084】

半導体基板1の上面内には素子分離絶縁膜2が設けられている。また、ロジック形成領域における半導体基板1の上面内にはウェル領域3が設けられており、メモリ形成領域における半導体基板1の上面内にはウェル領域53が設けられている。

【0085】

ウェル領域3の上面内には、互いに所定距離を成す複数のソース・ドレイン領域9が設けられており、ウェル領域53の上面内には、互いに所定距離を成す複数のソース・ドレイン領域59が設けられている。

【0086】

互いに隣り合うソース・ドレイン領域9の間のウェル領域3の上面上にはゲート構造11が設けられており、互いに隣り合うソース・ドレイン領域59の間のウェル領域53の上面上にはゲート構造61が設けられている。

【0087】

ゲート構造11のゲート電極6の上面上と、ゲート構造61のゲート電極56の上面上にはシリサイド膜12が設けられている。また、各ソース・ドレイン領

域 9, 59 上にもシリサイド膜 12 が設けられている。

【0088】

コンタクトプラグ 33, 83a, 83b のそれぞれは、その上面が絶縁膜 14 から露出している。そして、コンタクトプラグ 83b は、互いに隣り合うソース・ドレイン領域 59 の一方とシリサイド膜 12 を介して電氣的に接続されており、コンタクトプラグ 83a は互いに隣り合うソース・ドレイン領域 59 の他方とシリサイド膜 12 を介して電氣的に接続されている。また、コンタクトプラグ 33 はソース・ドレイン領域 9 とシリサイド膜 12 を介して電氣的に接続されている。

【0089】

メモリ領域におけるコンタクトプラグ 75 はコンタクトプラグ 83a の導電性バリア層 82 の上面と接触しており、その上面が絶縁膜 31 から露出している。そして、ビット線 76 はコンタクトプラグ 75 と接触している。

【0090】

ロジック領域におけるコンタクトプラグ 25 は、その上面が絶縁膜 31 から露出しており、配線 26 と接触している。また、コンタクトプラグ 25 は絶縁膜 14 内に延びており、コンタクトプラグ 33 の導電性バリア層 42 と接触し、更にその導電性膜 16 の上端部の側面の一部に接触している。

【0091】

このように本実施の形態 5 に係る半導体装置によれば、ロジック領域におけるコンタクトプラグ 33 が酸化防止用の導電性バリア層 42 を備えている場合であっても、上層のコンタクトプラグ 25 は、下層のコンタクトプラグ 33 の導電性バリア層 42 のみならず、それよりも導電率の高い導電性膜 16 と接触している。そのため、上述の図 42 に示される半導体装置のように、上層のコンタクトプラグ 25 が導電性バリア層 42 を介して導電性膜 16 と電氣的に接続されている半導体装置よりも、ロジック領域における上層のコンタクトプラグ 25 と半導体基板 1 に設けられたソース・ドレイン領域 9 との間のコンタクト抵抗を低減することができる。

【0092】

更に、キャパシタ73と接触するコンタクトプラグ83bの上端部には導電性バリア層82が設けられているため、キャパシタ73の誘電体膜71の形成時に、コンタクトプラグ83bの導電性膜66が酸化されることを防止することができる。従って、キャパシタ73の誘電体膜71の形成時に酸化処理が実行される場合であっても、メモリデバイスでのコンタクト抵抗の低減とロジックデバイスでのコンタクト抵抗の低減とを両立させることが可能となる。

【0093】

次に図51に示す半導体装置の製造方法について、図52～55を参照して説明する。まず、実施の形態3に係る製造方法を用いて上述の図39に示される構造を得る。次に図52に示されるように、レジスト38を絶縁膜31上に形成する。

【0094】

そして図53に示されるように、コンタクトプラグ33、83aの位置に対応させて開口パターン39a、39bをそれぞれレジスト38に形成する。このとき、コンタクトプラグ33の上方に設けられる開口パターン39aに関しては、コンタクトプラグ33に対するアライメントを意図的に少しずらして形成する。そのため、図53に示されるように、開口パターン39aは、コンタクトプラグ33の直上のみならず絶縁膜14の直上にも形成されている。

【0095】

なお、コンタクトプラグ83aの上方に設けられる開口パターン39bに関しては、コンタクトプラグ83aに対するアライメントを意図的にはずらさずに形成し、開口パターン39bがコンタクトプラグ83aの直上のみ位置するように形成する。また、本実施の形態5では、開口パターン39aの径をコンタクトプラグ33の径とほぼ同じに設定し、開口パターン39bの径をコンタクトプラグ83aの径とほぼ同じに設定する。

【0096】

次に図54に示されるように、開口パターン39a、39bを有するレジスト38をマスクに用いて、ストッパ膜17をエッチングストッパとして、層間絶縁膜18、23をエッチングして部分的に除去する。このときのエッチングでは、

C_4F_6 と O_2 とArとの混合ガスを使用する異方性ドライエッチングが採用される。

【0097】

そして、レジスト38を再度マスクに用いつつ、 CHF_3 をエッチングガスとして使用する異方性ドライエッチング法を用いて、露出しているストッパ膜17をエッチングして除去し、コンタクトプラグ33に達するコンタクトホール24と、コンタクトプラグ83aに達するコンタクトホール74とを絶縁膜31に形成する。このとき、ストッパ膜17に対して所定量のオーバーエッチングを実行し、コンタクトホール24を絶縁膜14内にまで延長することによって、コンタクトプラグ33の導電性膜16の側面を露出させる。

【0098】

上述のように、コンタクトプラグ33に対する開口パターン39aの重ね合わせ位置がずれているため、開口パターン39aはコンタクトプラグ33の直上のみならず、絶縁膜14の直上にも位置している。そのため、ストッパ膜17に対してオーバーエッチングを実行することによって、ロジック領域では絶縁膜14もエッチングされる。従って、ストッパ膜17に対して所定量のオーバーエッチングを行うことによって、コンタクトプラグ33の導電性バリア層42のみならず、その導電性膜16の上端部の側面の一部も露出する。

【0099】

なお、開口パターン39bは、コンタクトプラグ83aの直上にしか位置していないため、メモリ領域では絶縁膜14はエッチングされない。また、ストッパ膜17を除去する際に使用されるエッチングガスでは、コンタクトプラグ83aの導電性バリア層82はほとんどエッチングされないため、コンタクトホール74の形成後では、コンタクトプラグ83aの上端部に導電性バリア層82が残存したままである。

【0100】

次に図55に示されるように、コンタクトホール24を充填するコンタクトプラグ25と、コンタクトホール74を充填するコンタクトプラグ75とを形成する。これにより、コンタクトプラグ25は、絶縁膜31内のみならず絶縁膜14

内にも形成され、コンタクトプラグ 3 3 の導電性バリア層 4 2 と、その導電性膜 1 6 の側面の上端部の一部と接触する。その後、配線 2 6 及びビット線 7 6 を絶縁膜 3 1 上に形成することにより図 5 1 に示される半導体装置が得られる。

【 0 1 0 1 】

このように本実施の形態 5 に係る半導体装置の製造方法によれば、ロジック領域におけるコンタクトプラグ 3 3 の上端部に酸化防止用の導電性バリア層 4 2 を形成した場合であっても、上層のコンタクトプラグ 2 5 は、下層のコンタクトプラグ 3 3 の導電性バリア層 4 2 のみならず、それよりも導電率の高い導電性膜 1 6 と接触するようになる。そのため、上述の実施の形態 3 に係る半導体装置の製造方法のように、上層のコンタクトプラグ 2 5 が導電性バリア層 4 2 を介して導電性膜 1 6 と電氣的に接続されて形成される場合よりも、ロジック領域における上層のコンタクトプラグ 2 5 と半導体基板 1 に設けられたソース・ドレイン領域 9 との間のコンタクト抵抗を低減することができる。

【 0 1 0 2 】

更に、コンタクトプラグ 8 3 b の上端部には導電性バリア層 8 2 が設けられているため、キャパシタ 7 3 の誘電体膜 7 1 の形成時に、コンタクトプラグ 8 3 b の導電性膜 6 6 が酸化されることを防止することができる。従って、メモリデバイスでのコンタクト抵抗の低減とロジックデバイスでのコンタクト抵抗の低減とを両立させることが可能となる。

【 0 1 0 3 】

なお本実施の形態 5 では、メモリ領域における上層のコンタクトプラグ 7 5 はコンタクトプラグ 8 3 a の導電性バリア層 8 2 だけと接触し導電性膜 6 6 とは接触していなかったが、図 5 6 に示される半導体装置のように、コンタクトプラグ 7 5 を絶縁膜 1 4 内にまで延ばして、下層のコンタクトプラグ 8 3 a の導電性膜 6 6 の側面にも接触させても良い。

【 0 1 0 4 】

このように、上層のコンタクトプラグ 7 5 を、下層のコンタクトプラグ 8 3 a の導電性膜 6 6 と接触させることによって、メモリ領域におけるコンタクトプラグ 8 3 a が酸化防止用の導電性バリア層 8 2 を備えている場合であっても、上層

のコンタクトプラグ75あるいはビット線76と半導体基板1に設けられたソース・ドレイン領域59との間のコンタクト抵抗を低減することができる。

【0105】

以下に図56に示される半導体装置の製造方法について、図57、58を参照して説明する。

【0106】

まず、実施の形態3に係る製造方法を用いて上述の図39に示される構造を得る。次に図57に示されるように、レジスト38を絶縁膜31上に形成する。そして、コンタクトプラグ33、83aの位置に対応させて開口パターン39a、39bをそれぞれレジスト38に形成する。このとき、コンタクトプラグ33の上方に設けられる開口パターン39aと同様に、コンタクトプラグ83aの上方に設けられる開口パターン39bに関しても、コンタクトプラグ83aに対するアライメントを意図的に少しずらして形成する。そのため、開口パターン39bは、コンタクトプラグ83aの直上のみならず、絶縁膜14の直上にも位置している。

【0107】

次に図58に示されるように、開口パターン39a、39bを有するレジスト38をマスクに用いて、ストッパ膜17をエッチングストッパとして、層間絶縁膜18、23をエッチングして部分的に除去する。

【0108】

そして、レジスト38を再度マスクに用いつつ、 CHF_3 をエッチングガスとして使用する異方性ドライエッチング法を用いて、露出しているストッパ膜17をエッチングして除去し、コンタクトホール24、74を絶縁膜31に形成する。このとき、ストッパ膜17に対して所定量のオーバーエッチングを実行し、コンタクトホール24、74を絶縁膜14内にまで延長することによって、コンタクトプラグ33の導電性膜16の側面を露出させるとともに、コンタクトプラグ83aの導電性膜66の側面を露出させる。

【0109】

上述のように、コンタクトプラグ83aに対する開口パターン39bの重ね合

わせ位置がずれているため、開口パターン39bはコンタクトプラグ83aの直上のみならず、絶縁膜14の直上にも位置している。そのため、ストッパ膜17に対してオーバーエッチングを実行することによって、ロジック領域の絶縁膜14のみならず、メモリ領域の絶縁膜14もエッチングされる。従って、ストッパ膜17に対して所定量のオーバーエッチングを行うことによって、コンタクトプラグ83aの導電性バリア層82のみならず、その導電性膜66の上端部の側面の一部も露出する。

【0110】

次に、コンタクトホール24を充填するコンタクトプラグ25と、コンタクトホール74を充填するコンタクトプラグ75とを形成する。これにより、コンタクトプラグ25と同様に、コンタクトプラグ75は、絶縁膜31内のみならず絶縁膜14内にも形成され、コンタクトプラグ83aの導電性バリア層82と、その導電性膜66の上端部の側面の一部と接触する。そして、配線26及びビット線76を絶縁膜31上に形成することにより図56に示される半導体装置が得られる。

【0111】

このように、メモリ領域におけるコンタクトプラグ83aの上端部に酸化防止用の導電性バリア層82を形成した場合であっても、上層のコンタクトプラグ75は、下層のコンタクトプラグ83aの導電性バリア層82のみならず、それよりも導電率の高い導電性膜66と接触するようになる。そのため、メモリ領域における上層のコンタクトプラグ75と半導体基板1に設けられたソース・ドレイン領域59との間のコンタクト抵抗を低減することができる。

【0112】

また本実施の形態5では、DRAMメモリセルのキャパシタ73としてConcave型MIMキャパシタを備える半導体装置及びその製造方法について説明したが、キャパシタ73として他の構造のMIMキャパシタを備える半導体装置及びその製造方法にも本発明を適用することができる。例えば、図59に示されるようなサポート付きCylinder型MIMキャパシタや、図60に示されるようなPillar型MIMキャパシタや、図61に示されるような厚膜スタ

ック型MIMキャパシタを備える半導体装置及びその製造方法に本発明を適用することができる。

【0113】

また、Pillar型MIMキャパシタを採用した場合や厚膜スタック型MIMキャパシタを採用した場合には、コンタクトプラグ25、75のアスペクト比を小さくすることができるため、図62や図63に示されるように、コンタクトプラグ25と配線26とを、あるいはコンタクトプラグ75とビット線76とをデュアル・ダマシン法を用いて一体的に形成しても良い。

【0114】

なお、厚膜スタック型MIMキャパシタを採用した場合には、絶縁膜31の層間絶縁膜18は製造過程で除去されるため、図61、63では図示されていない。

【0115】

実施の形態6.

図64は本発明の実施の形態6に係る半導体装置の構造を示す断面図である。本実施の形態6に係る半導体装置は、上述の実施の形態5に係る半導体装置において、コンタクトプラグ25の形状を変形したものである。

【0116】

図64に示されるように、本実施の形態6に係る半導体装置が備えるコンタクトプラグ25は、その上面が絶縁膜31から露出しており、配線26と接触している。また、コンタクトプラグ25は、その径がコンタクトプラグ33の径よりも大きく、絶縁膜14内に延びている。そしてコンタクトプラグ25は、コンタクトプラグ33の導電性バリア層42と接触しており、更にその導電性膜16の側面の上端部の全周囲と接触している。その他の構造については、実施の形態5に係る半導体装置と同様のためその説明は省略する。

【0117】

このように本実施の形態6に係る半導体装置によれば、ロジック領域におけるコンタクトプラグ33が酸化防止用の導電性バリア層42を備えている場合であっても、上層のコンタクトプラグ25は、下層のコンタクトプラグ33の導電性

バリア層42のみならず、それよりも導電率の高い導電性膜16の上端部の側面の全周囲と接触している。そのため、コンタクトプラグ25が導電性膜16の上端部の側面の一部しか接触していない上述の実施の形態5に係る半導体装置よりも、ロジック領域における上層のコンタクトプラグ25と半導体基板1に設けられたソース・ドレイン領域9との間のコンタクト抵抗を低減することができる。

【0118】

次に図64に示される半導体装置の製造方法について、図65～67を参照して説明する。なお、実施の形態5に係る半導体装置の製造方法と同じ内容についてはその説明を省略する。

【0119】

まず、実施の形態3に係る製造方法を用いて上述の図39に示される構造を得る。次に図65に示されるように、レジスト38を絶縁膜31上に形成する。

【0120】

そして、コンタクトプラグ33、83aの位置に対応させて開口パターン39a、39bをそれぞれレジスト38に形成する。このとき、コンタクトプラグ33の上方に設けられる開口パターン39aに関しては、その径をコンタクトプラグ33の径よりも大きく設定し、コンタクトプラグ33に対するアライメントは意図的にはずらさないようにする。そのため、図65に示されるように、開口パターン39aは、コンタクトプラグ33の直上のみならず、コンタクトプラグ33を取り囲む絶縁膜14の一部の直上にも形成されている。

【0121】

次に図66に示されるように、開口パターン39a、39bを有するレジスト38をマスクに用いて、ストッパ膜17をエッチングストッパとして、層間絶縁膜18、23をエッチングして部分的に除去する。

【0122】

そして、レジスト38を再度マスクに用いつつ、 CHF_3 をエッチングガスとして使用する異方性ドライエッチング法を用いて、露出しているストッパ膜17をエッチングして除去し、コンタクトプラグ33に達するコンタクトホール24と、コンタクトプラグ83aに達するコンタクトホール74とを絶縁膜31に形

成する。このとき、ストッパ膜 17 に対して所定量のオーバーエッチングを実行し、コンタクトホール 24 を絶縁膜 14 内にまで延長することによって、コンタクトプラグ 33 における導電性膜 16 の側面の先端部の全周囲を露出させる。

【0123】

上述のように、開口パターン 39a の径はコンタクトプラグ 33 の径よりも大きいので、開口パターン 39a はコンタクトプラグ 33 の直上のみならず、コンタクトプラグ 33 を取り囲む絶縁膜 14 の一部の直上にも位置している。従って、ストッパ膜 17 に対して所定量のオーバーエッチングを行うことによって絶縁膜 14 がエッチングされ、コンタクトプラグ 33 の導電性バリア層 42 のみならず、その導電性膜 16 の側面の先端部の全周囲も露出する。

【0124】

次に図 67 に示されるように、コンタクトホール 24 を充填するコンタクトプラグ 25 と、コンタクトホール 74 を充填するコンタクトプラグ 75 とを形成する。これにより、コンタクトプラグ 25 は、絶縁膜 31 内のみならず絶縁膜 14 内にも形成され、コンタクトプラグ 33 の導電性バリア層 42 と、その導電性膜 16 の側面の先端部の全周囲と接触する。その後、配線 26 及びビット線 76 を絶縁膜 31 上に形成することにより図 64 に示される半導体装置が得られる。

【0125】

このように本実施の形態 6 に係る半導体装置の製造方法によれば、ロジック領域におけるコンタクトプラグ 33 の先端部に酸化防止用の導電性バリア層 42 を形成した場合であっても、上層のコンタクトプラグ 25 は、下層のコンタクトプラグ 33 の導電性バリア層 42 のみならず、それよりも導電率の高い導電性膜 16 の側面の先端部の全周囲と接触するようになる。そのため、上述の実施の形態 5 に係る半導体装置の製造方法よりも、ロジック領域における上層のコンタクトプラグ 25 と半導体基板 1 に設けられたソース・ドレイン領域 9 との間のコンタクト抵抗を低減することができる。

【0126】

なお本実施の形態 6 では、上述の実施の形態 5 と同様に、メモリ領域における上層のコンタクトプラグ 75 はコンタクトプラグ 83a の導電性バリア層 82 だ

けと接触し導電性膜 6 6 とは接触していなかったが、図 6 8 に示される半導体装置のように、コンタクトプラグ 7 5 を絶縁膜 1 4 内にまで延ばして、下層のコンタクトプラグ 8 3 a における導電性膜 6 6 の上端部の側面の全周囲と接触させても良い。

【 0 1 2 7 】

このように、メモリ領域における上層のコンタクトプラグ 7 5 を、下層のコンタクトプラグ 8 3 a における導電性膜 6 6 の側面の全周囲と接触させることによって、メモリ領域におけるコンタクトプラグ 8 3 a が酸化防止用の導電性バリア層 8 2 を備えている場合であっても、上層のコンタクトプラグ 7 5 あるいはビット線 7 6 と半導体基板 1 に設けられたソース・ドレイン領域 5 9 との間のコンタクト抵抗を更に低減することができる。

【 0 1 2 8 】

以下に図 6 8 に示される半導体装置の製造方法について、図 6 9, 7 0 を参照して説明する。

【 0 1 2 9 】

まず、実施の形態 3 に係る製造方法を用いて上述の図 3 9 に示される構造を得る。次に図 6 9 に示されるように、レジスト 3 8 を絶縁膜 3 1 上に形成する。そして、コンタクトプラグ 3 3, 8 3 a の位置に対応させて開口パターン 3 9 a, 3 9 b をそれぞれレジスト 3 8 に形成する。このとき、コンタクトプラグ 3 3 の上方に設けられる開口パターン 3 9 a と同様に、コンタクトプラグ 8 3 a の上方に設けられる開口パターン 3 9 b に関しても、その径をコンタクトプラグ 8 3 a の径よりも大きく設定し、コンタクトプラグ 8 3 a に対するアライメントは意図的にはずらさずに形成する。そのため、開口パターン 3 9 b は、コンタクトプラグ 8 3 a の直上のみならず、コンタクトプラグ 8 3 a を取り囲む絶縁膜 1 4 の一部の直上にも形成される。

【 0 1 3 0 】

次に図 7 0 に示されるように、開口パターン 3 9 a, 3 9 b を有するレジスト 3 8 をマスクに用いて、ストッパ膜 1 7 をエッチングストッパとして、層間絶縁膜 1 8, 2 3 をエッチングして部分的に除去する。

【0131】

そして、レジスト38を再度マスクに用いつつ、 CHF_3 をエッチングガスとして使用する異方性ドライエッチング法を用いて、露出しているストッパ膜17をエッチングして除去し、コンタクトホール24、74を絶縁膜31に形成する。このとき、ストッパ膜17に対して所定量のオーバーエッチングを実行し、コンタクトホール24、74を絶縁膜14内にまで延長することによって、コンタクトプラグ33における導電性膜16の上端部の側面の全周囲を露出させるとともに、コンタクトプラグ83aにおける導電性膜66の上端部の側面の全周囲を露出させる。

【0132】

上述のように、開口パターン39bの径はコンタクトプラグ83aの径よりも大きいため、開口パターン39bはコンタクトプラグ83aの直上のみならず、それを取り囲む絶縁膜14の一部の直上にも位置している。従って、ストッパ膜17に対して所定量のオーバーエッチングを行うことによって、コンタクトプラグ83aの導電性バリア層82のみならず、その導電性膜66の上端部の側面の全周囲も露出する。

【0133】

次に、コンタクトホール24を充填するコンタクトプラグ25と、コンタクトホール74を充填するコンタクトプラグ75とを形成する。これにより、コンタクトプラグ25と同様に、コンタクトプラグ75は、絶縁膜31内のみならず絶縁膜14内にも形成され、コンタクトプラグ83aの導電性バリア層82と、その導電性膜66の上端部の側面の全周囲と接触する。その後、配線26及びビット線76を絶縁膜31上に形成することにより図68に示される半導体装置が得られる。

【0134】

このように、メモリ領域におけるコンタクトプラグ83aの上端部に酸化防止用の導電性バリア層82を形成した場合であっても、上層のコンタクトプラグ75は、下層のコンタクトプラグ83aの導電性バリア層82のみならず、それよりも導電率の高い導電性膜66の上端部の側面の全周囲と接触するようになる。

そのため、メモリ領域における上層のコンタクトプラグ75と半導体基板1に設けられたソース・ドレイン領域59との間のコンタクト抵抗を更に低減することができる。

【0135】

また本実施の形態6では、DRAMメモリセルのキャパシタ73としてConcave型MIMキャパシタを備える半導体装置及びその製造方法について説明したが、キャパシタ73として他の構造のMIMキャパシタを備える半導体装置及びその製造方法にも本発明を適用することができる。例えば、図71に示されるようなサポート付きCylinder型MIMキャパシタや、図72に示されるようなPillar型MIMキャパシタや、図73に示されるような厚膜スタック型MIMキャパシタを備える半導体装置及びその製造方法に本発明を適用することができる。

【0136】

また、Pillar型MIMキャパシタを採用した場合や厚膜スタック型MIMキャパシタを採用した場合には、コンタクトプラグ25、75のアスペクト比を小さくすることができるため、図74や図75に示されるように、コンタクトプラグ25と配線26とを、あるいはコンタクトプラグ75とビット線76とをデュアル・ダマシン法を用いて一体的に形成しても良い。

【0137】

なお、厚膜スタック型MIMキャパシタを採用した場合には、絶縁膜31の層間絶縁膜18は製造過程で除去されるため、図73、75では図示されていない。

【0138】

【発明の効果】

この発明に係る半導体装置の製造方法によれば、MIMキャパシタと接続される第1のコンタクトプラグの上端部には第1の導電性バリア層が形成されているため、MIMキャパシタの誘電体膜の形成時に第1のコンタクトプラグの第1の導電性膜が酸化されることが無い。従って、MIMキャパシタとメモリ領域における半導体基板との間のコンタクト抵抗を低減できる。更に、ロジック領域では

スタック構造が採用されているため、コンタクトプラグのアスペクト比の増大によるコンタクト不良を低減できる。従って、MIMキャパシタの誘電体膜の形成時に酸化処理が実行される場合であっても、メモリデバイスでのコンタクト抵抗の低減とロジックデバイスでのコンタクト抵抗の低減とを両立させることが可能となる。

【0139】

また、この発明に係る第1の半導体装置によれば、ロジック領域における第2のコンタクトプラグが第2の導電性バリア層を備えている場合であっても、上層の第3のコンタクトプラグは、下層の第2のコンタクトプラグの第2の導電性バリア層のみならず、それよりも導電率の高い第2の導電性膜と接触している。そのため、第3のコンタクトプラグとロジック領域における半導体基板との間のコンタクト抵抗を低減することができる。更に、MIMキャパシタと接触する第1のコンタクトプラグの上端部には第1の導電性バリア層が設けられているため、MIMキャパシタの誘電体膜の形成時に、第1のコンタクトプラグの第1の導電性膜が酸化されることを防止することができる。従って、MIMキャパシタの誘電体膜の形成時に酸化処理が実行される場合であっても、メモリデバイスでのコンタクト抵抗の低減とロジックデバイスでのコンタクト抵抗の低減とを両立させることが可能となる。

【0140】

また、この発明に係る第2の半導体装置によれば、メモリ領域における第2のコンタクトプラグが第2の導電性バリア層を備えている場合であっても、上層の第4のコンタクトプラグは、下層の第2のコンタクトプラグの第2の導電性バリア層のみならず、それよりも導電率の高い第2の導電性膜と接触している。そのため、第4のコンタクトプラグとメモリ領域における半導体基板との間のコンタクト抵抗を低減することができる。更に、MIMキャパシタと接触する第1のコンタクトプラグの上端部には第1の導電性バリア層が設けられているため、MIMキャパシタの誘電体膜の形成時に、第1のコンタクトプラグの第1の導電性膜が酸化されることを防止することができる。従って、MIMキャパシタの誘電体膜の形成時に酸化処理が実行される場合であっても、メモリデバイスでのコンタ

クト抵抗の低減とロジックデバイスでのコンタクト抵抗の低減とを両立させることが可能となる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 9】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 0】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 1】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 2】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 3】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 4】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 5】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 6】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 7】 本発明の実施の形態 1 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 1 8】 本発明の実施の形態 1 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 1 9】 本発明の実施の形態 1 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 2 0】 本発明の実施の形態 1 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 2 1】 本発明の実施の形態 1 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 2 2】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 3】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 4】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 5】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 6】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 7】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 8】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に

示す断面図である。

【図 2 9】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 0】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 1】 本発明の実施の形態 2 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 3 2】 本発明の実施の形態 2 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 3 3】 本発明の実施の形態 2 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 3 4】 本発明の実施の形態 2 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 3 5】 本発明の実施の形態 2 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 3 6】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 7】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 8】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 9】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4 0】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4 1】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4 2】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4 3】 本発明の実施の形態 3 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 4 4】 本発明の実施の形態 3 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 4 5】 本発明の実施の形態 3 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 4 6】 本発明の実施の形態 3 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 4 7】 本発明の実施の形態 3 に係る発明で製造可能な半導体装置の構造を示す断面図である。

【図 4 8】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4 9】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5 0】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5 1】 本発明の実施の形態 5 に係る半導体装置の構造を示す断面図である。

【図 5 2】 本発明の実施の形態 5 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5 3】 本発明の実施の形態 5 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5 4】 本発明の実施の形態 5 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5 5】 本発明の実施の形態 5 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5 6】 本発明の実施の形態 5 に係る半導体装置の変形例の構造を示す断面図である。

【図 5 7】 本発明の実施の形態 5 に係る半導体装置の変形例の製造方法を

工程順に示す断面図である。

【図 5 8】 本発明の実施の形態 5 に係る半導体装置の変形例の製造方法を工程順に示す断面図である。

【図 5 9】 本発明の実施の形態 5 に係る半導体装置の変形例の構造を示す断面図である。

【図 6 0】 本発明の実施の形態 5 に係る半導体装置の変形例の構造を示す断面図である。

【図 6 1】 本発明の実施の形態 5 に係る半導体装置の変形例の構造を示す断面図である。

【図 6 2】 本発明の実施の形態 5 に係る半導体装置の変形例の構造を示す断面図である。

【図 6 3】 本発明の実施の形態 5 に係る半導体装置の変形例の構造を示す断面図である。

【図 6 4】 本発明の実施の形態 6 に係る半導体装置の構造を示す断面図である。

【図 6 5】 本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6 6】 本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6 7】 本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6 8】 本発明の実施の形態 6 に係る半導体装置の変形例の構造を示す断面図である。

【図 6 9】 本発明の実施の形態 6 に係る半導体装置の変形例の製造方法を工程順に示す断面図である。

【図 7 0】 本発明の実施の形態 6 に係る半導体装置の変形例の製造方法を工程順に示す断面図である。

【図 7 1】 本発明の実施の形態 6 に係る半導体装置の変形例の構造を示す断面図である。

【図 7 2】 本発明の実施の形態 6 に係る半導体装置の変形例の構造を示す断面図である。

【図 7 3】 本発明の実施の形態 6 に係る半導体装置の変形例の構造を示す断面図である。

【図 7 4】 本発明の実施の形態 6 に係る半導体装置の変形例の構造を示す断面図である。

【図 7 5】 本発明の実施の形態 6 に係る半導体装置の変形例の構造を示す断面図である。

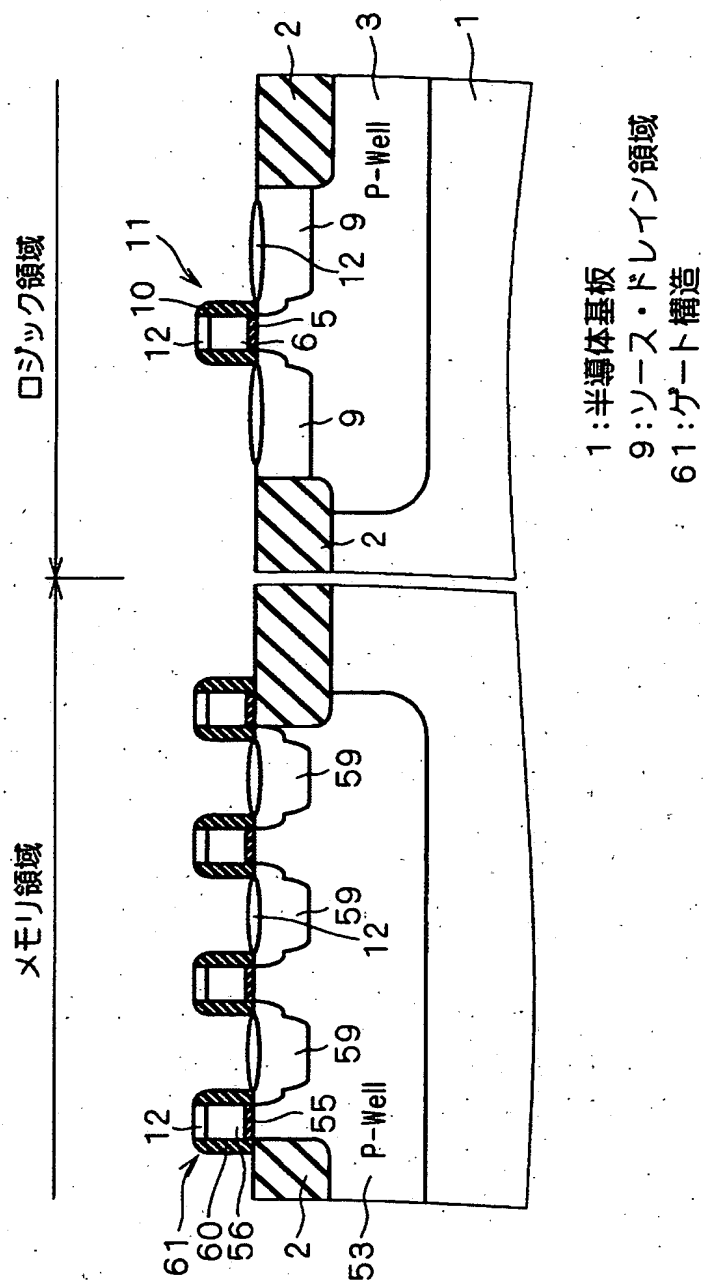
【符号の説明】

1 半導体基板、14, 31 絶縁膜、16, 66 導電性膜、24, 74
コンタクトホール、25, 33, 75, 83a, 83b コンタクトプラグ、3
8 レジスト、39a, 39b 開口パターン、41, 43, 93 凹部、42
, 82 導電性バリア層、59 ソース・ドレイン領域、61 ゲート構造、7
3 キャパシタ、76 ビット線。

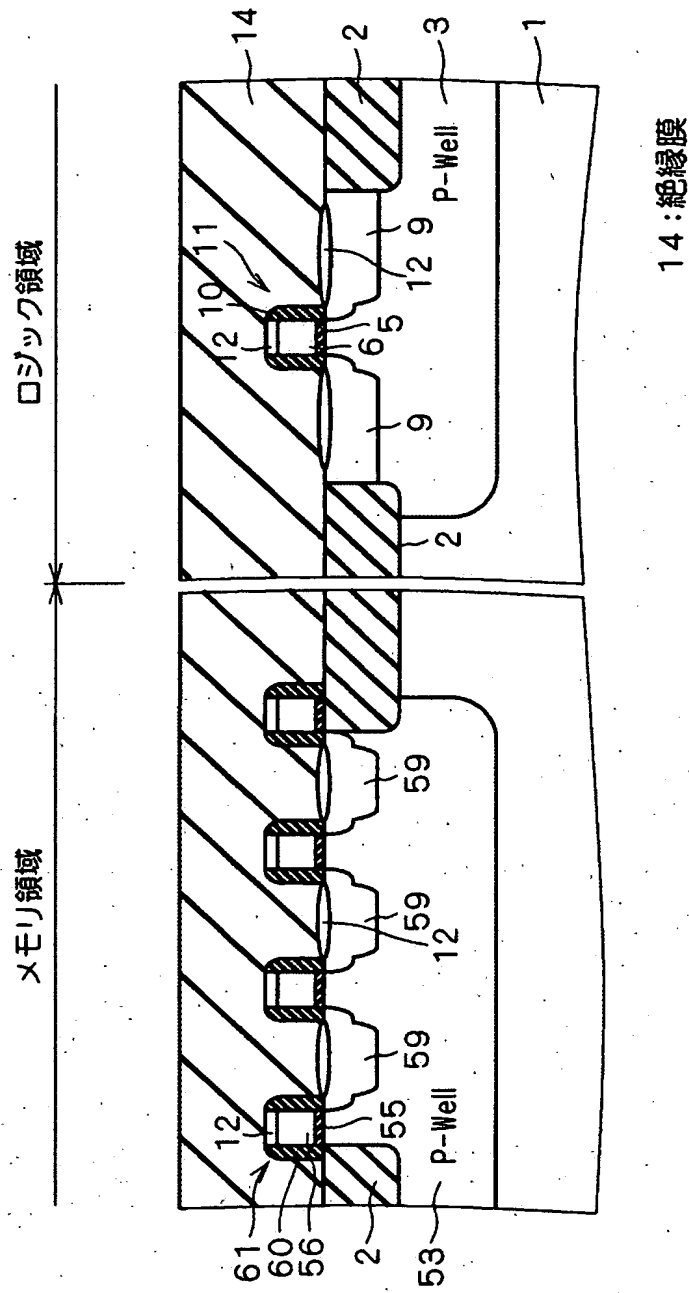
【書類名】

図面

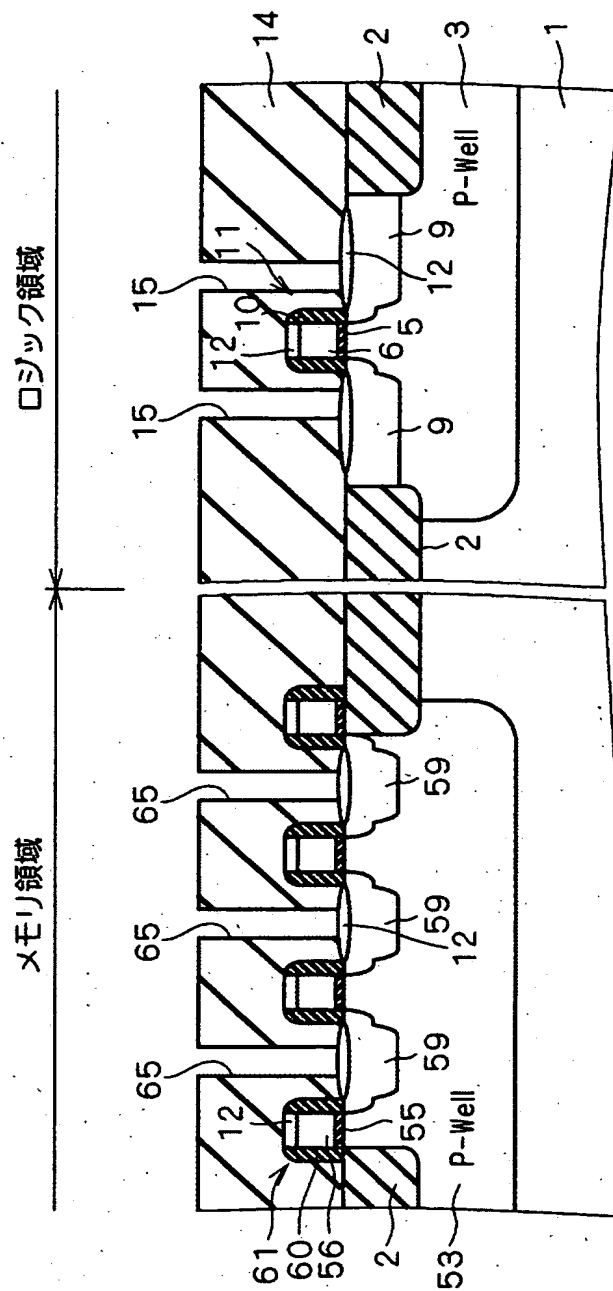
【図 1】



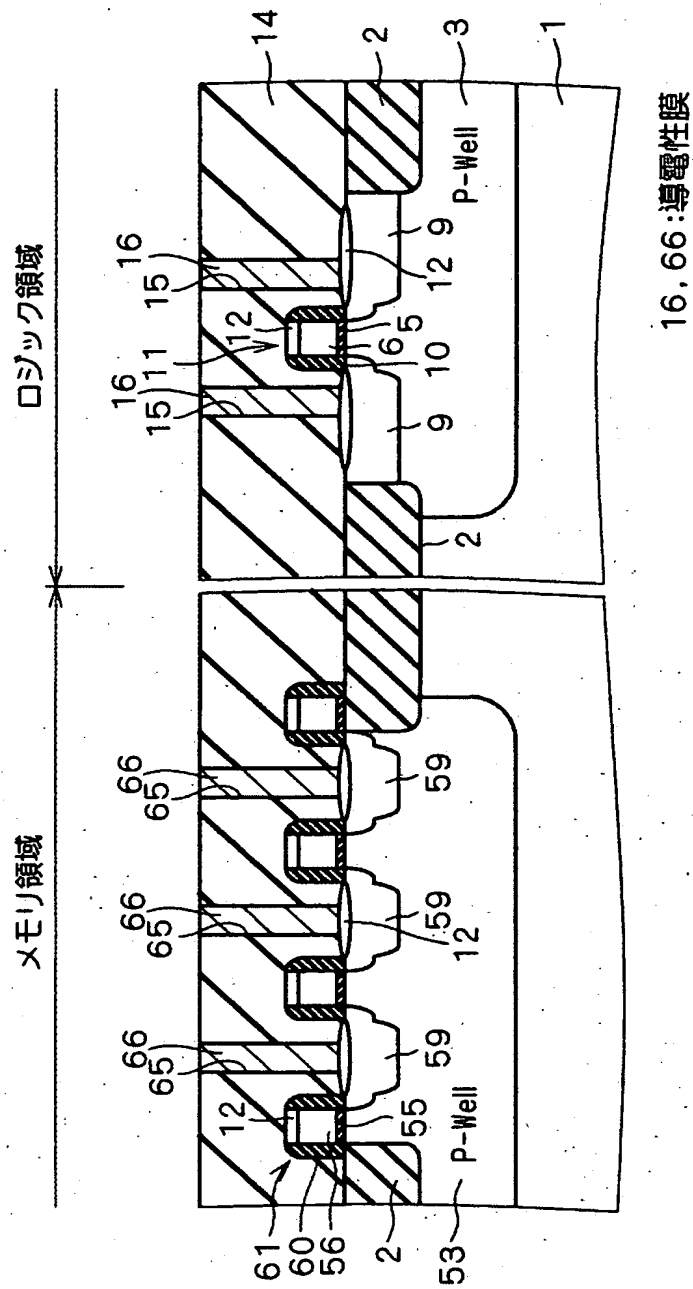
【図 2】



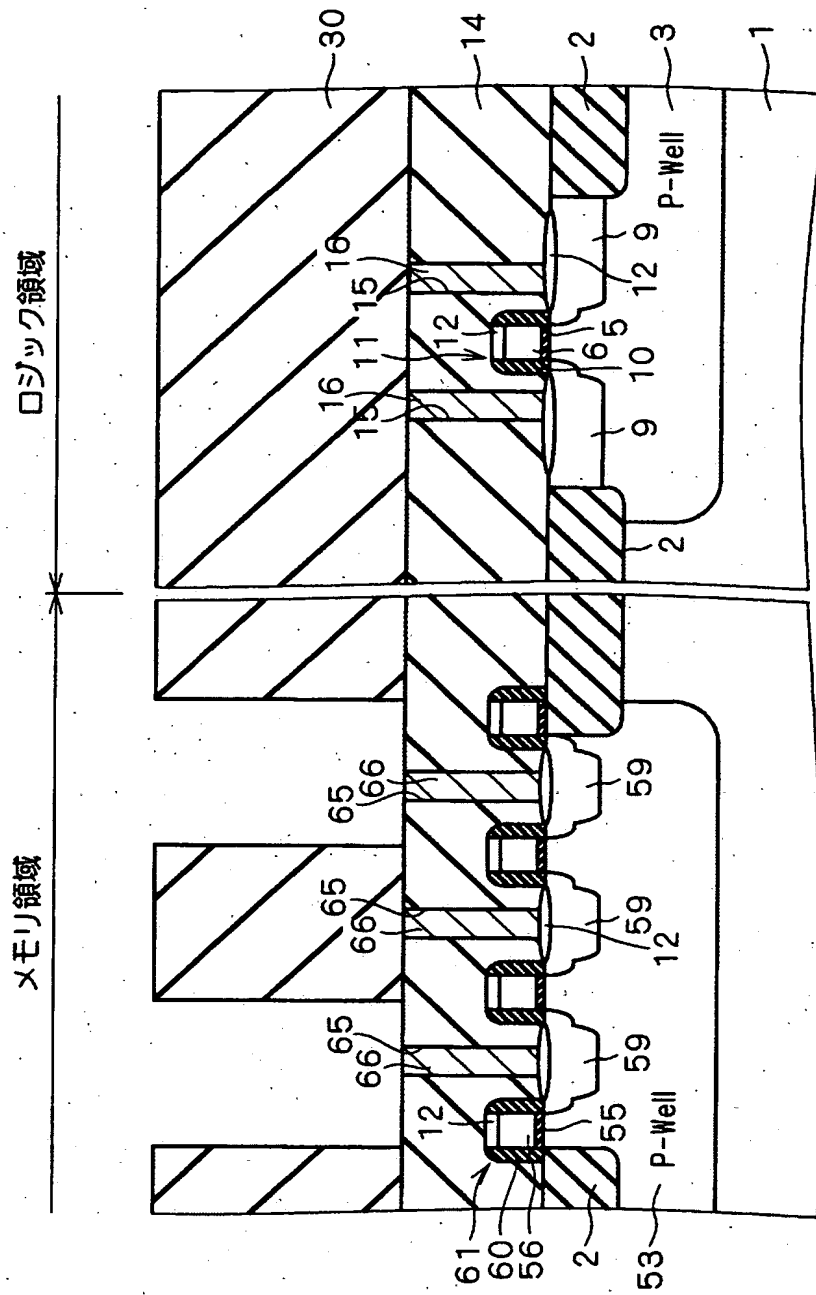
【図 3】



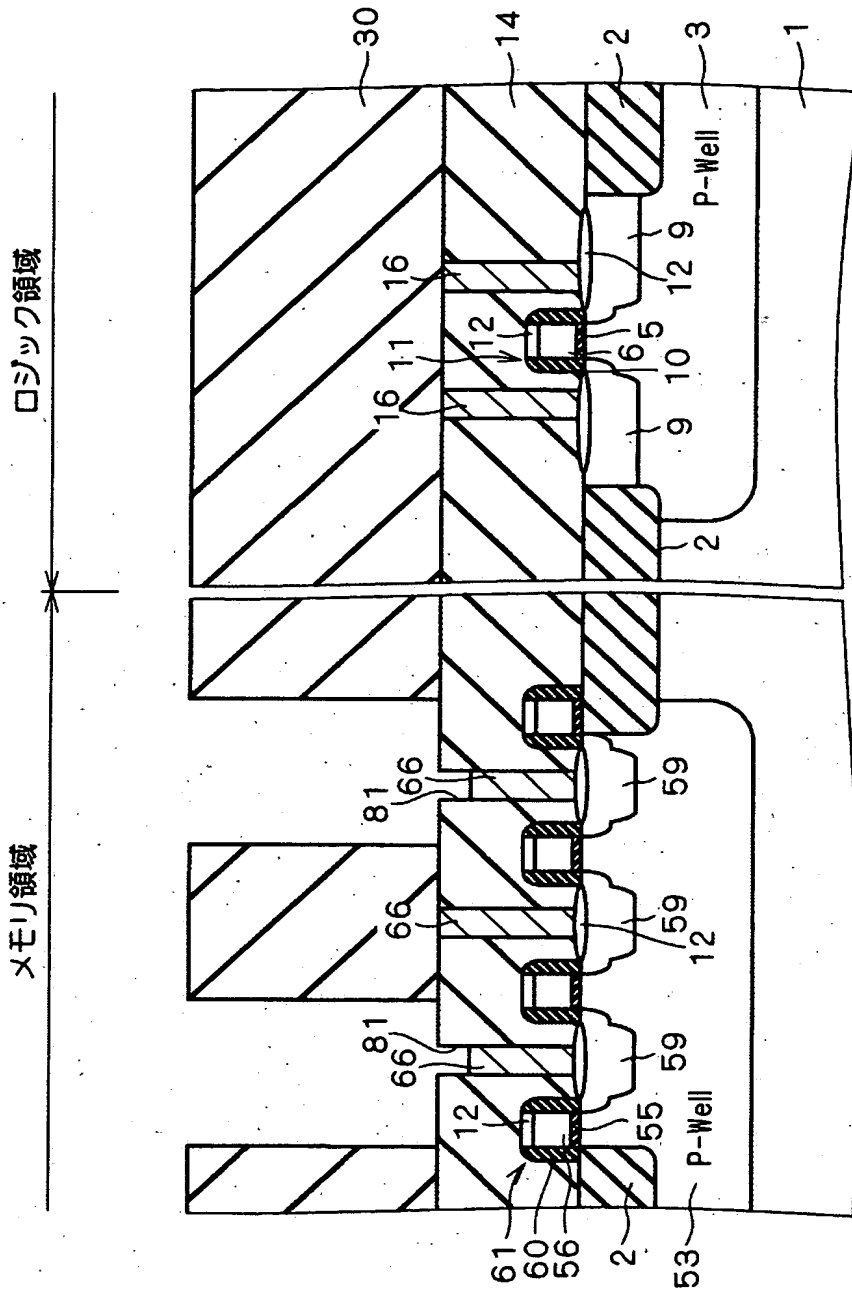
【図 4】



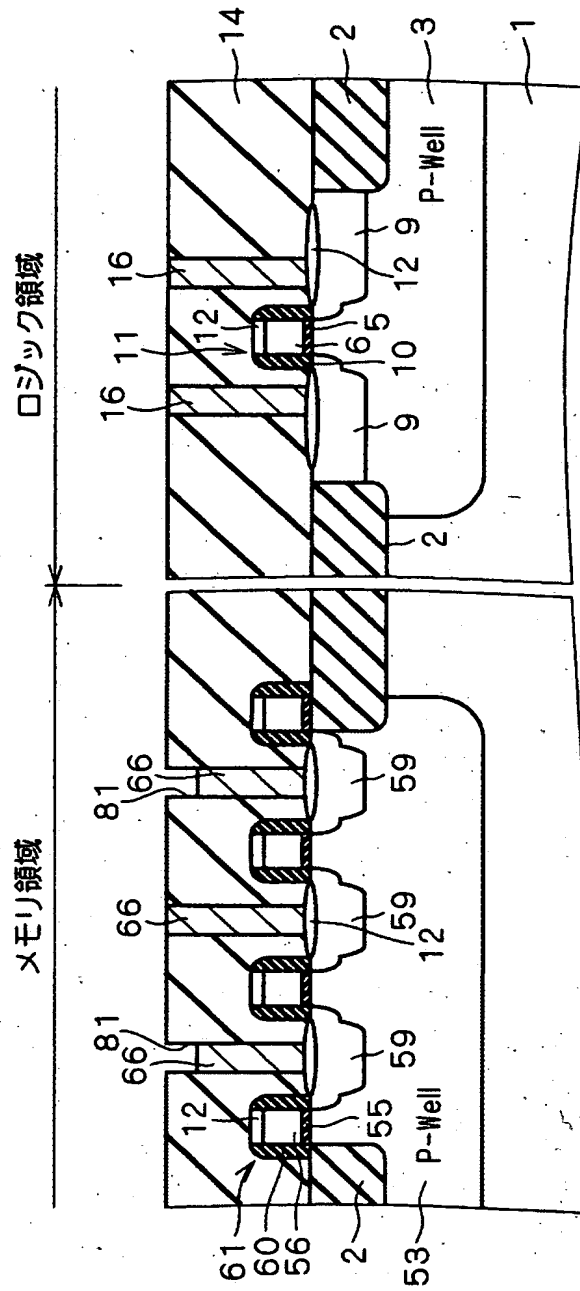
【图 5】



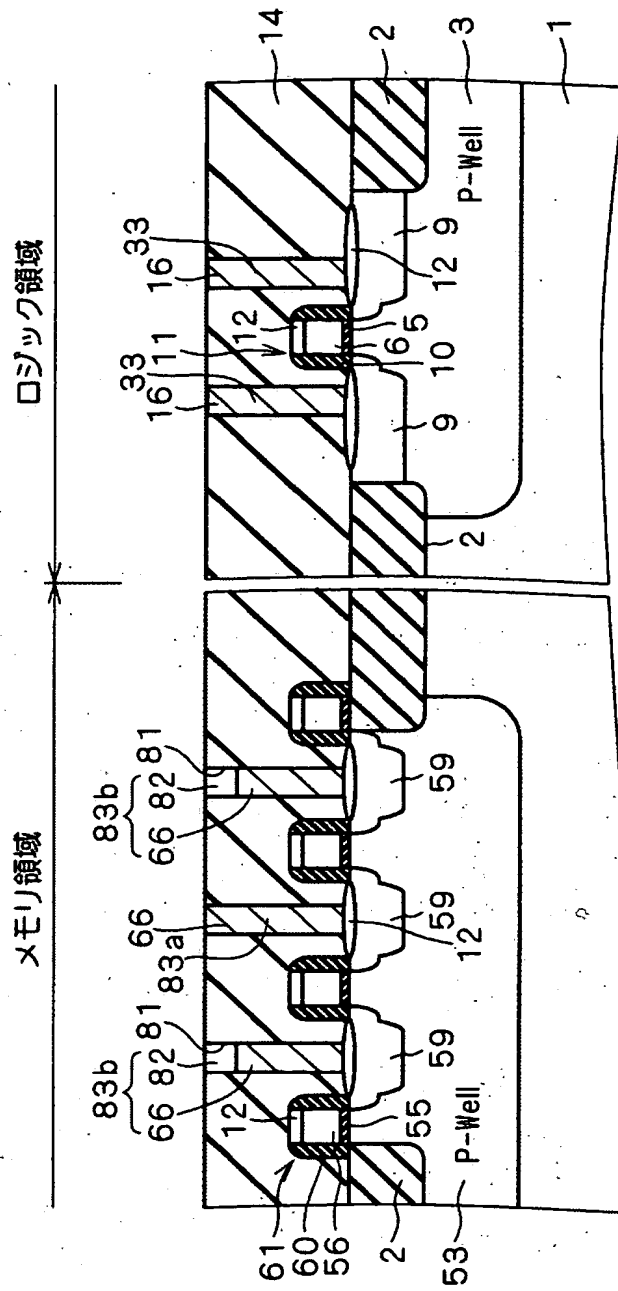
【図 6】



【図 7】

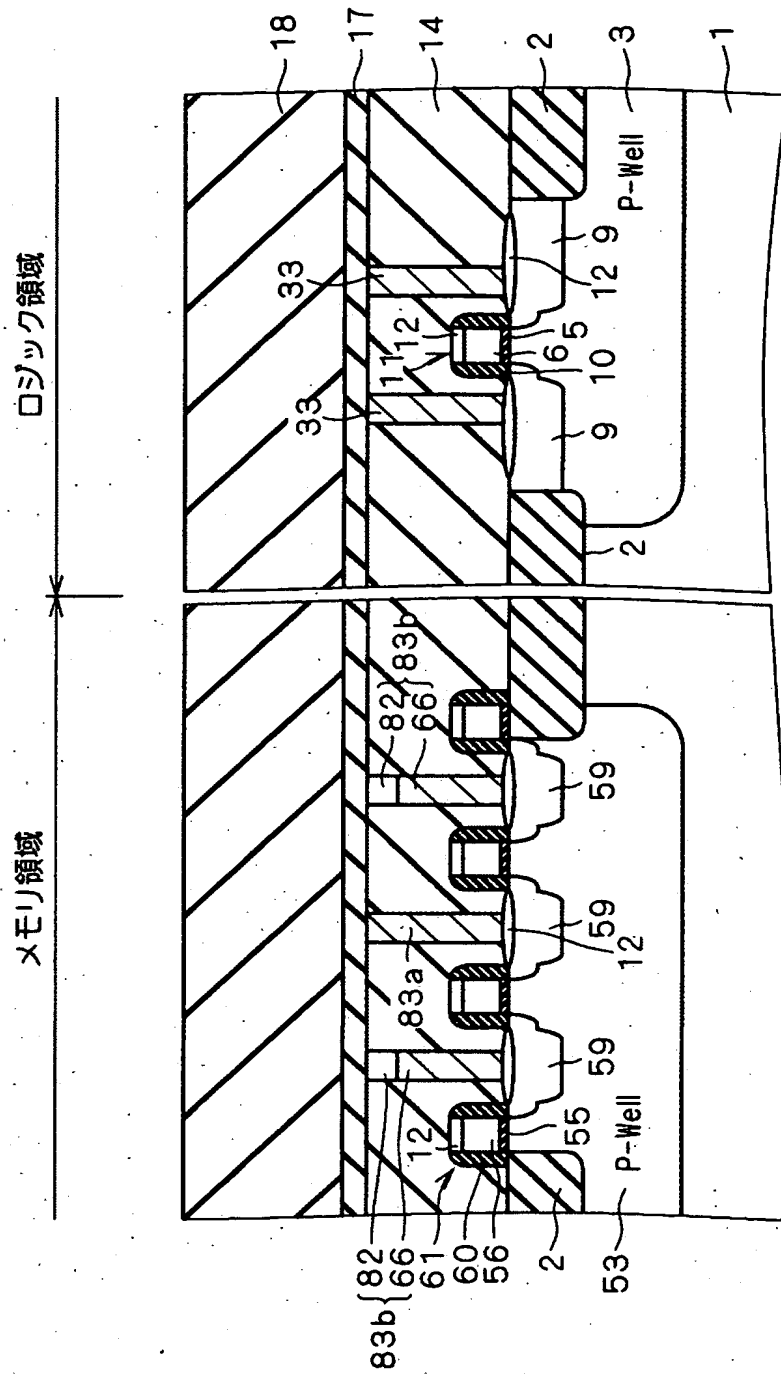


【図 8】

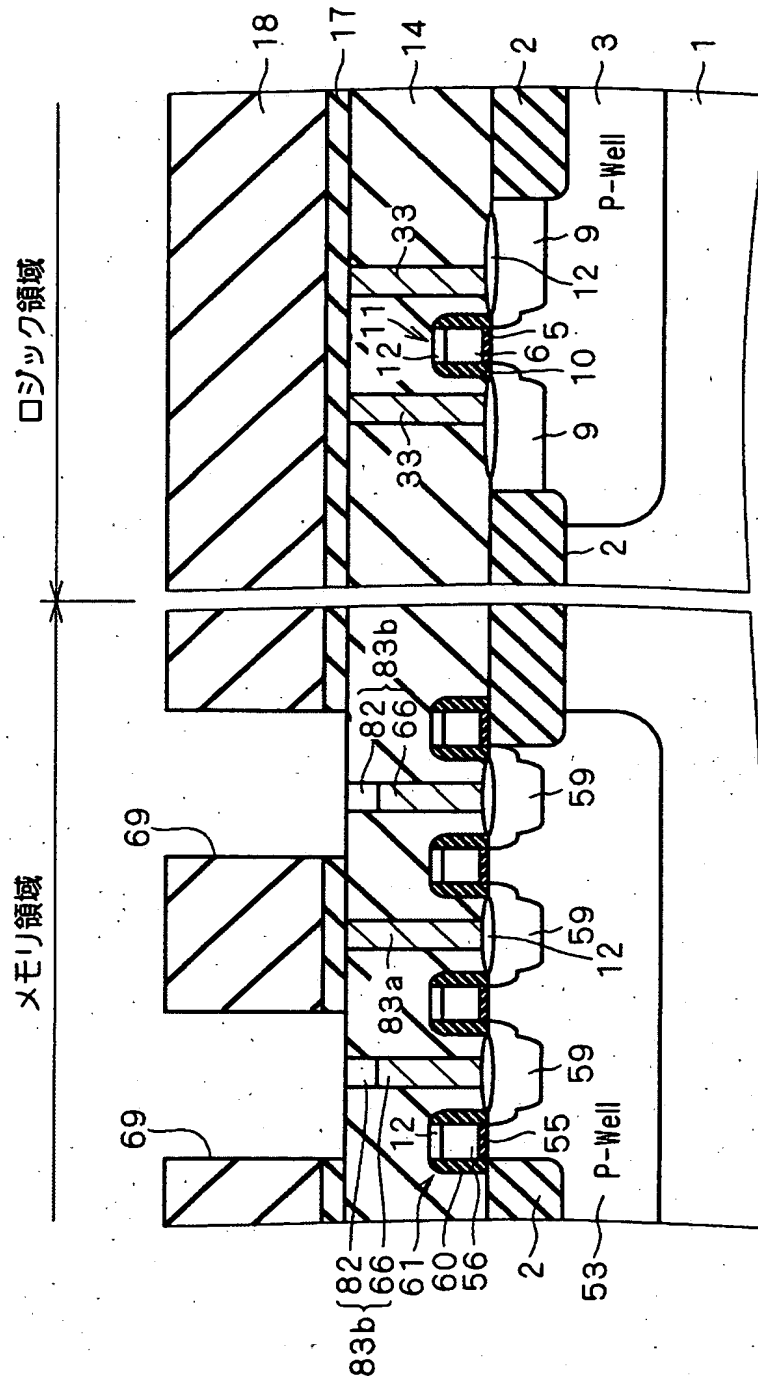


82:導電性バリア層
33, 83a, 83b:コンタクトプラグ

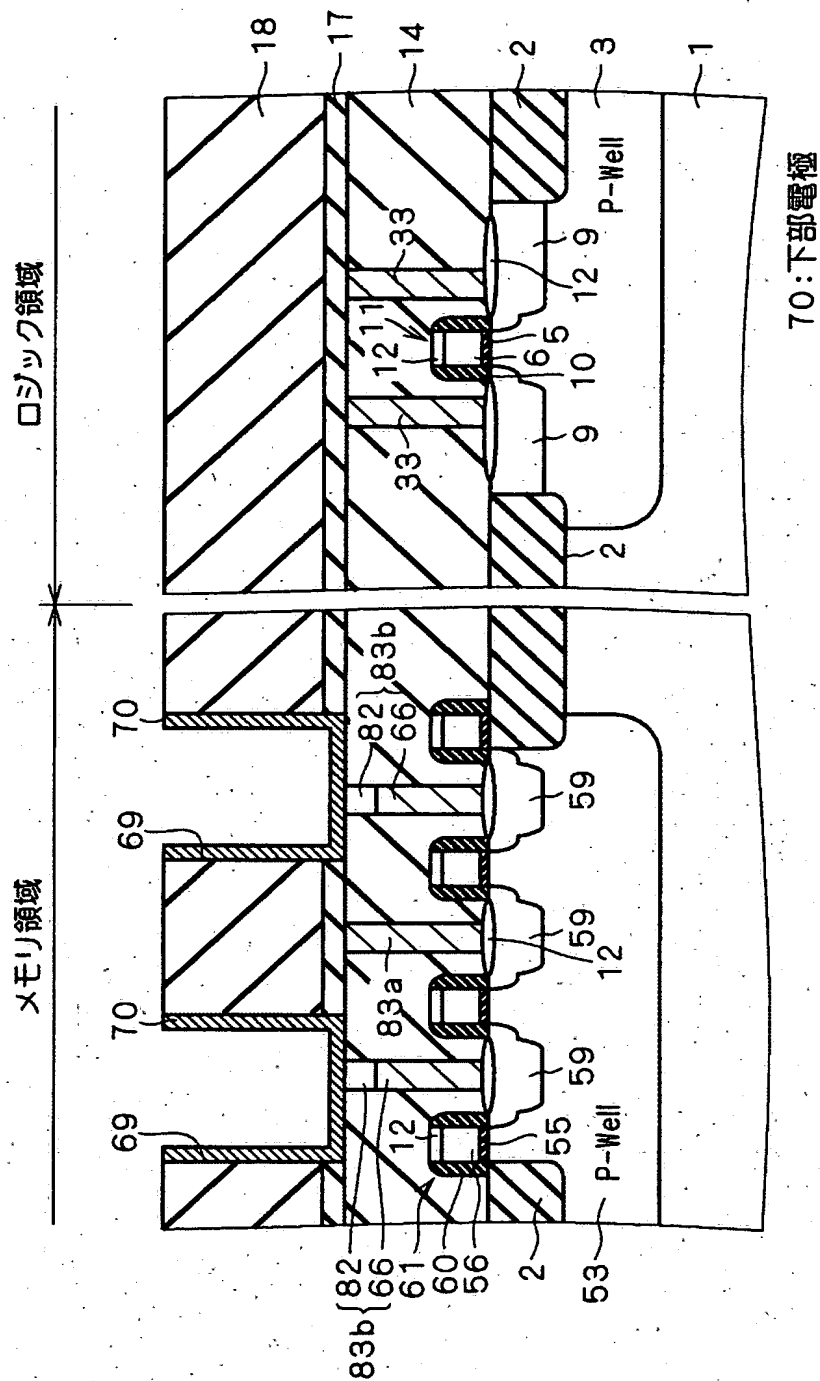
【図 9】



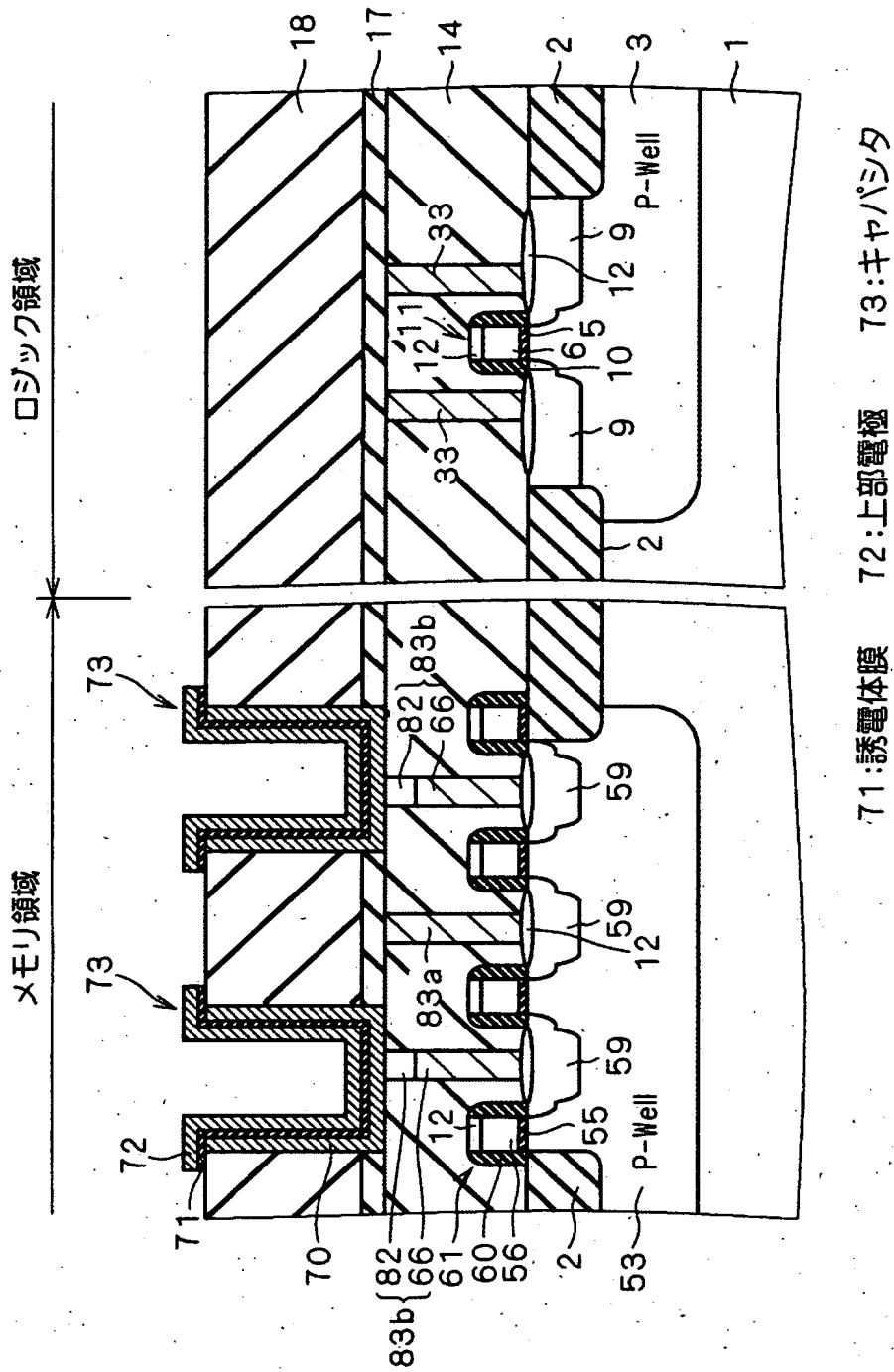
【図10】



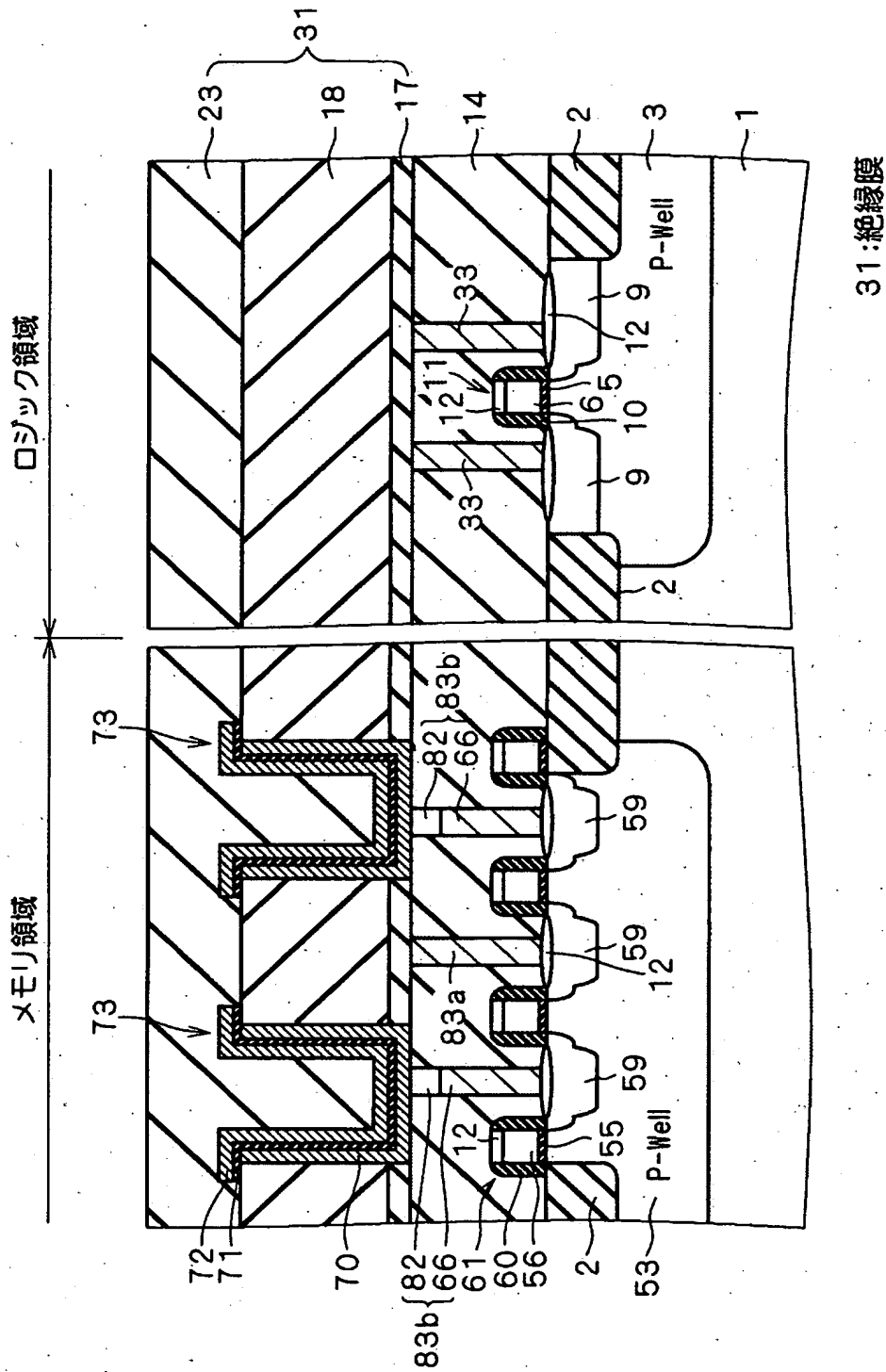
【図 11】



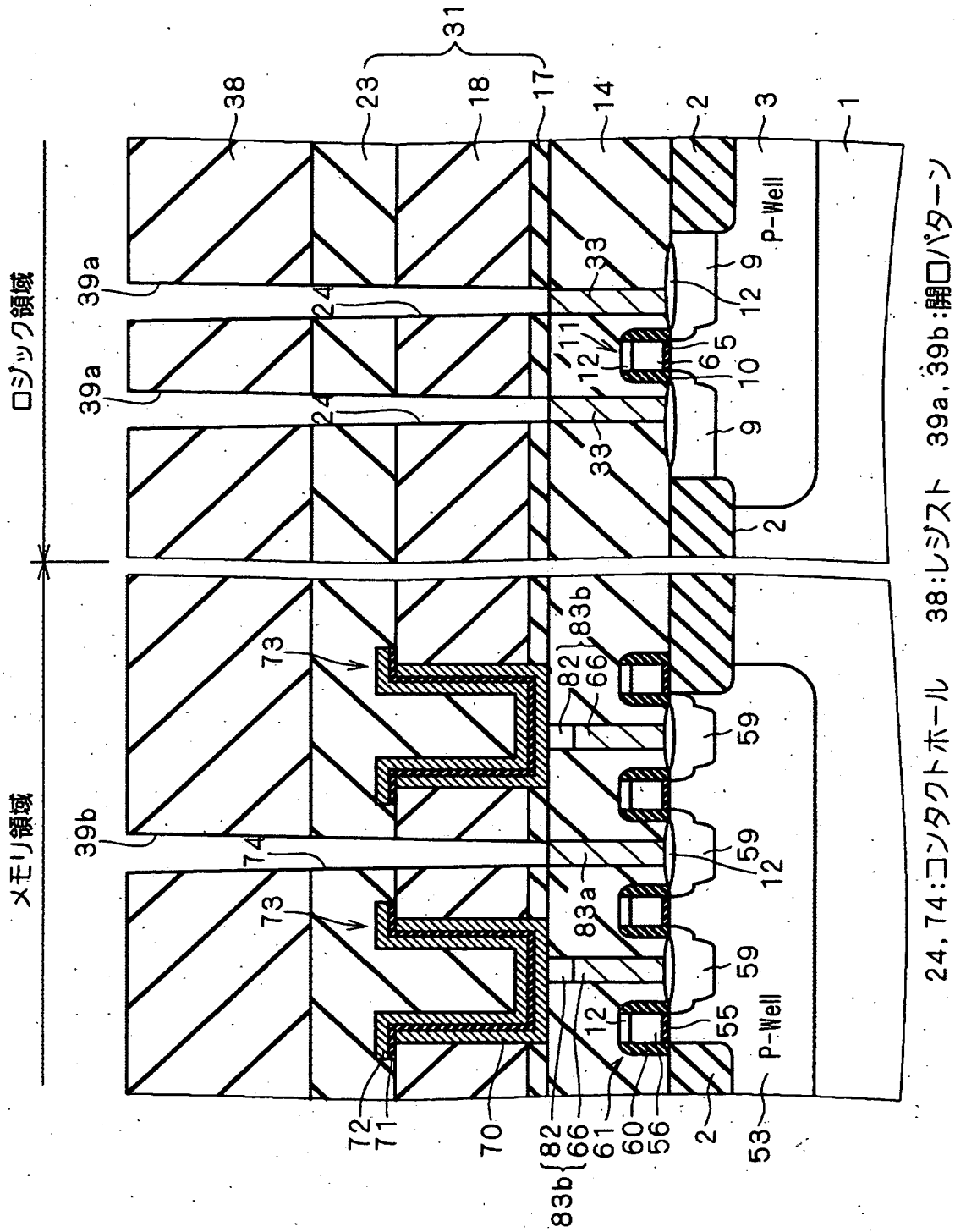
【図12】



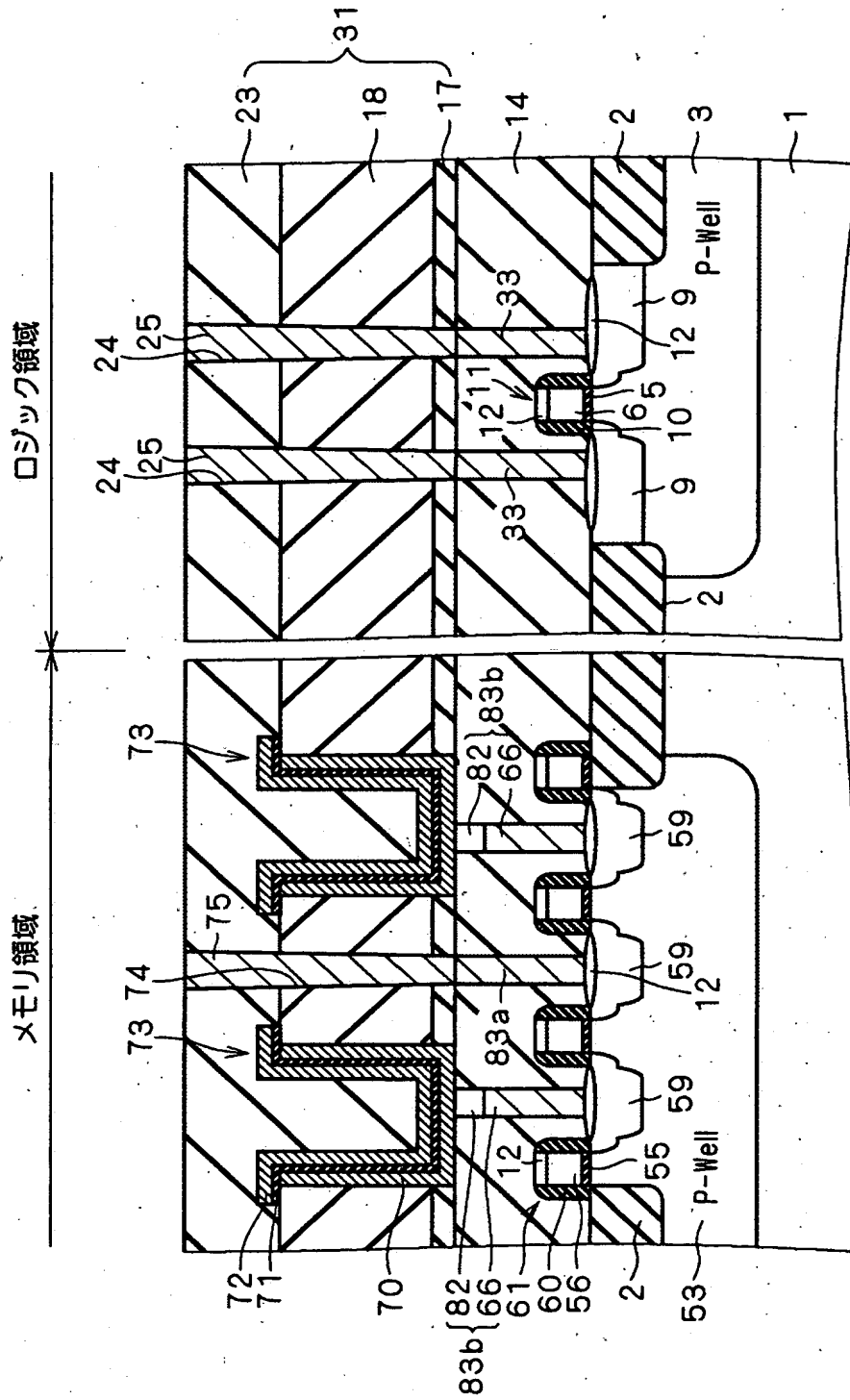
【図 13】



【図 14】

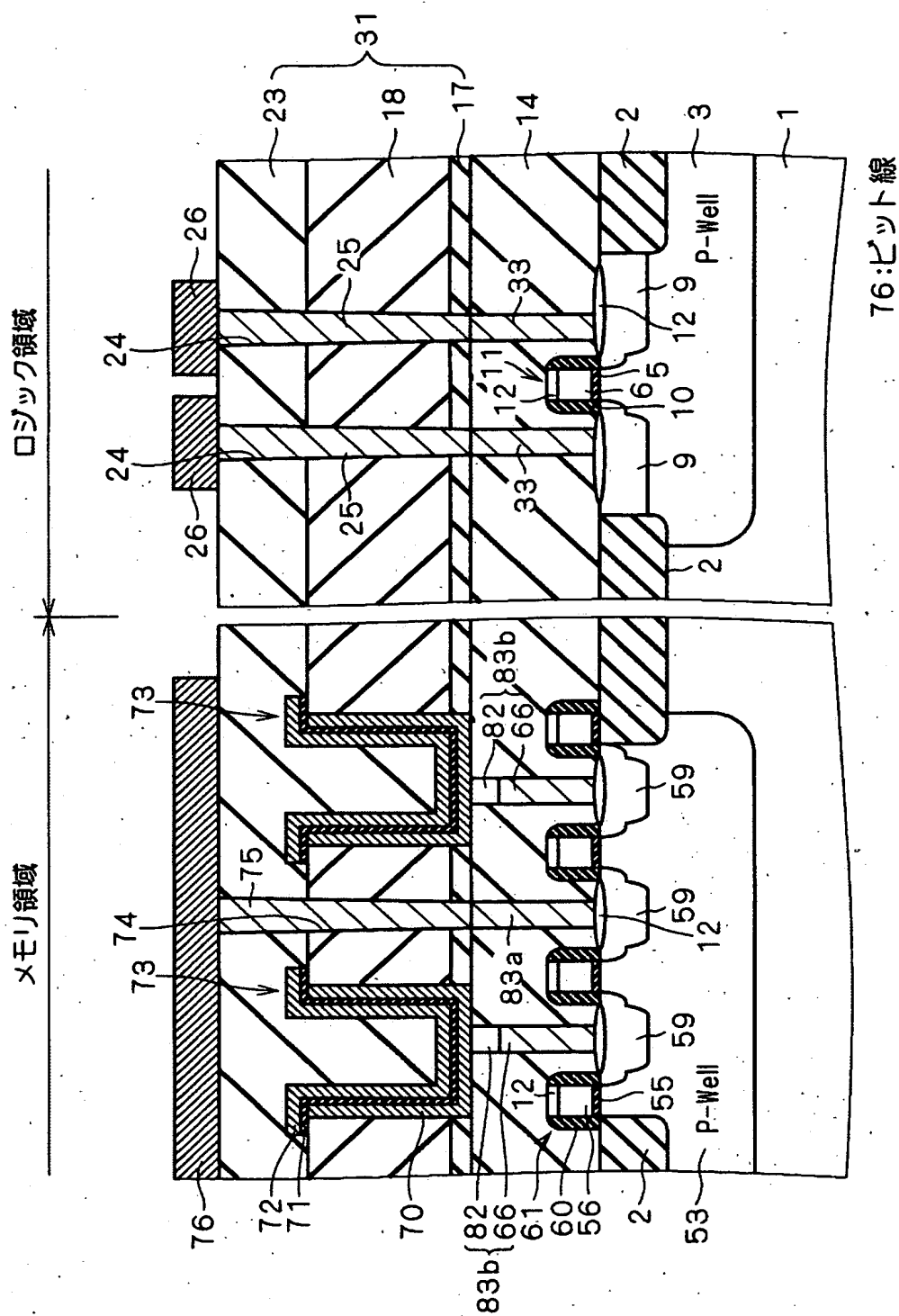


【図 15】

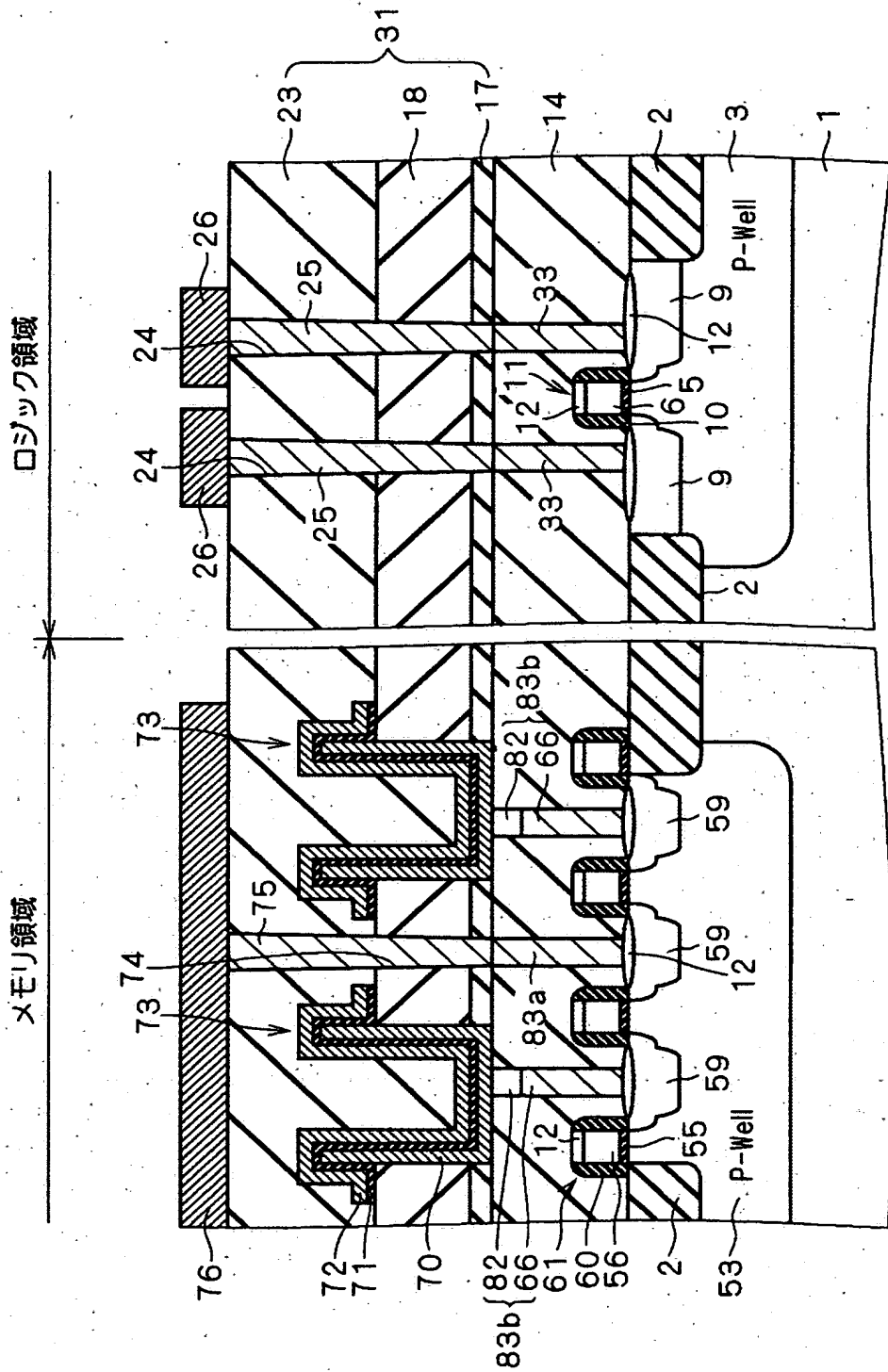


25, 75:コンタクトプラグ

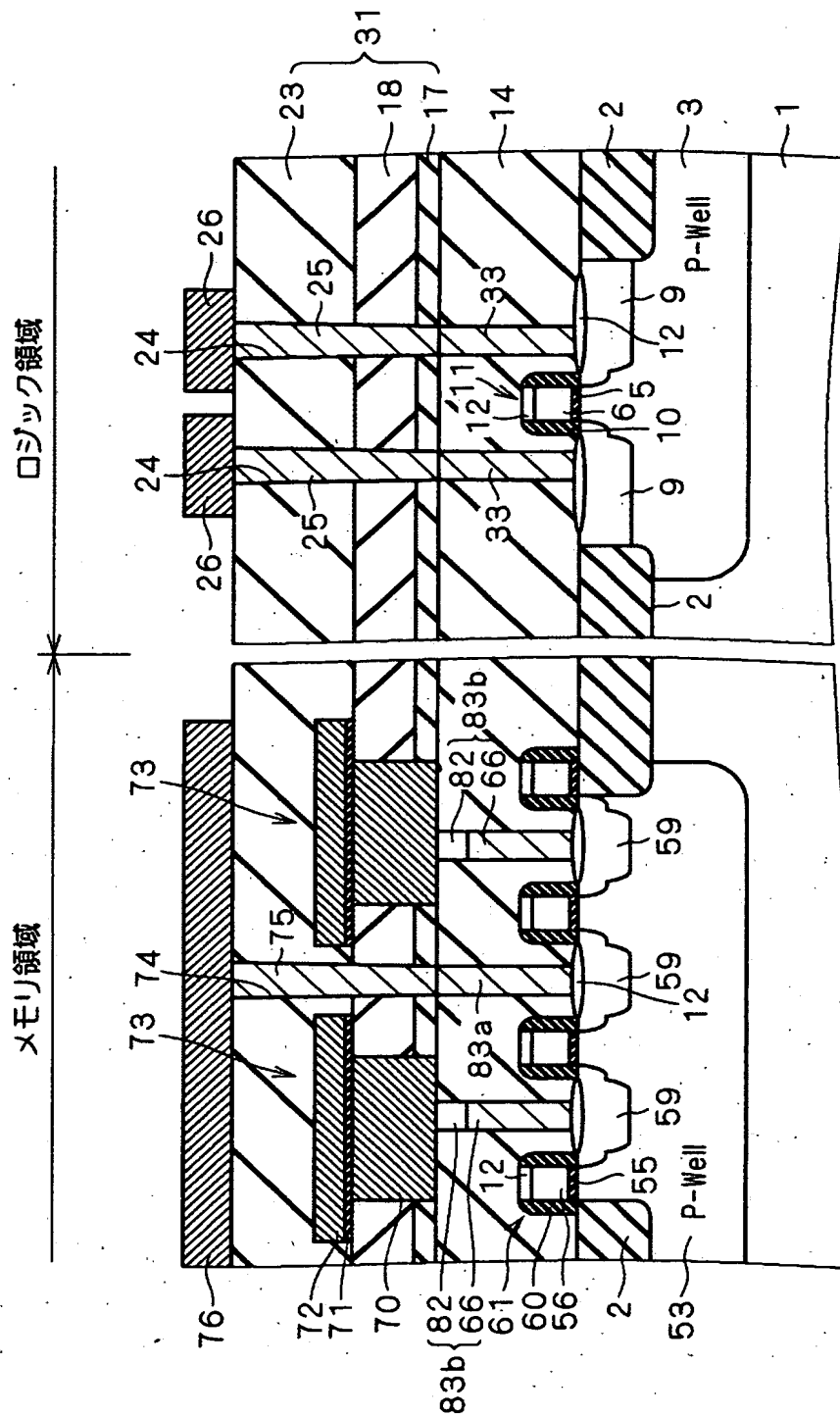
【図 16】



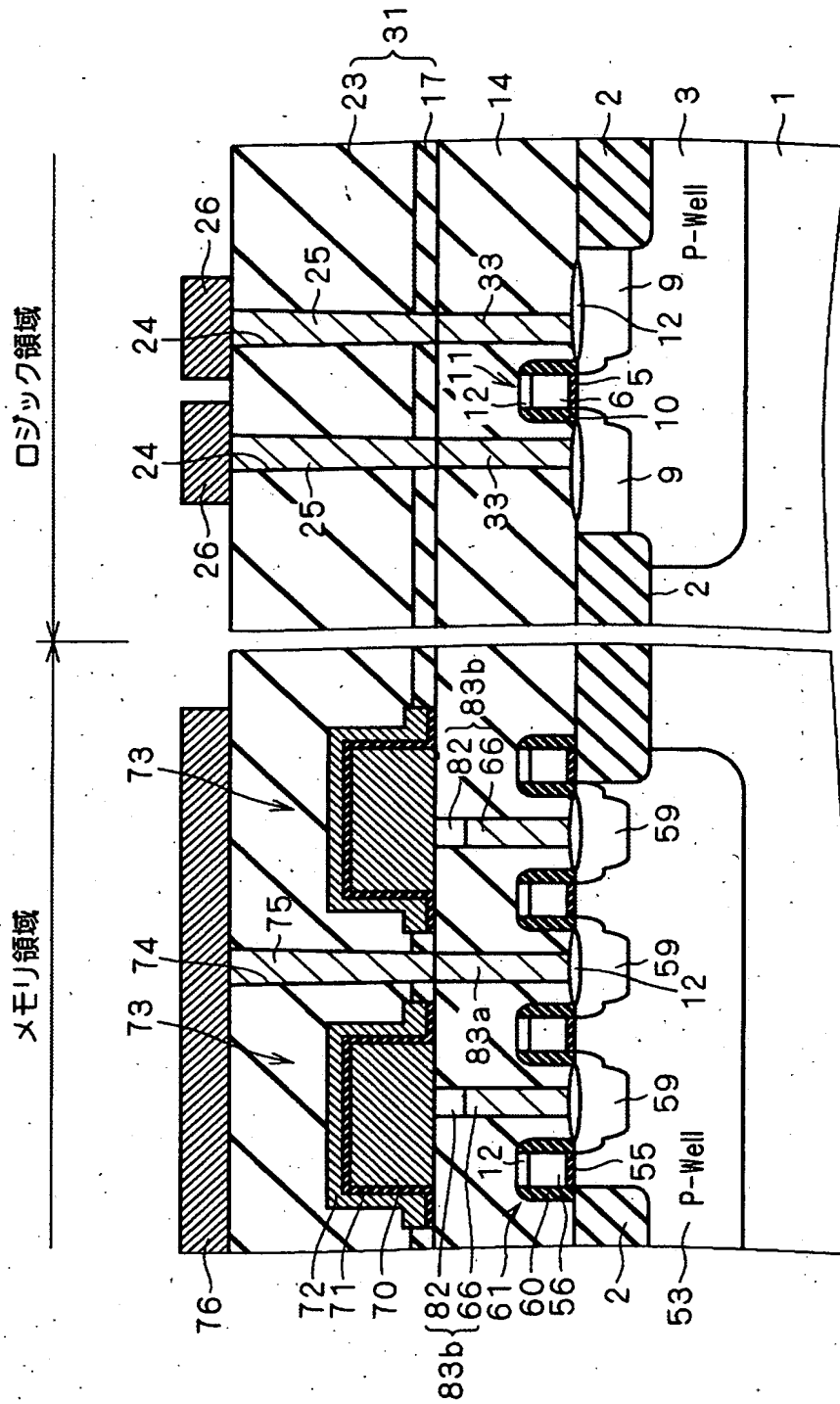
【図 17】



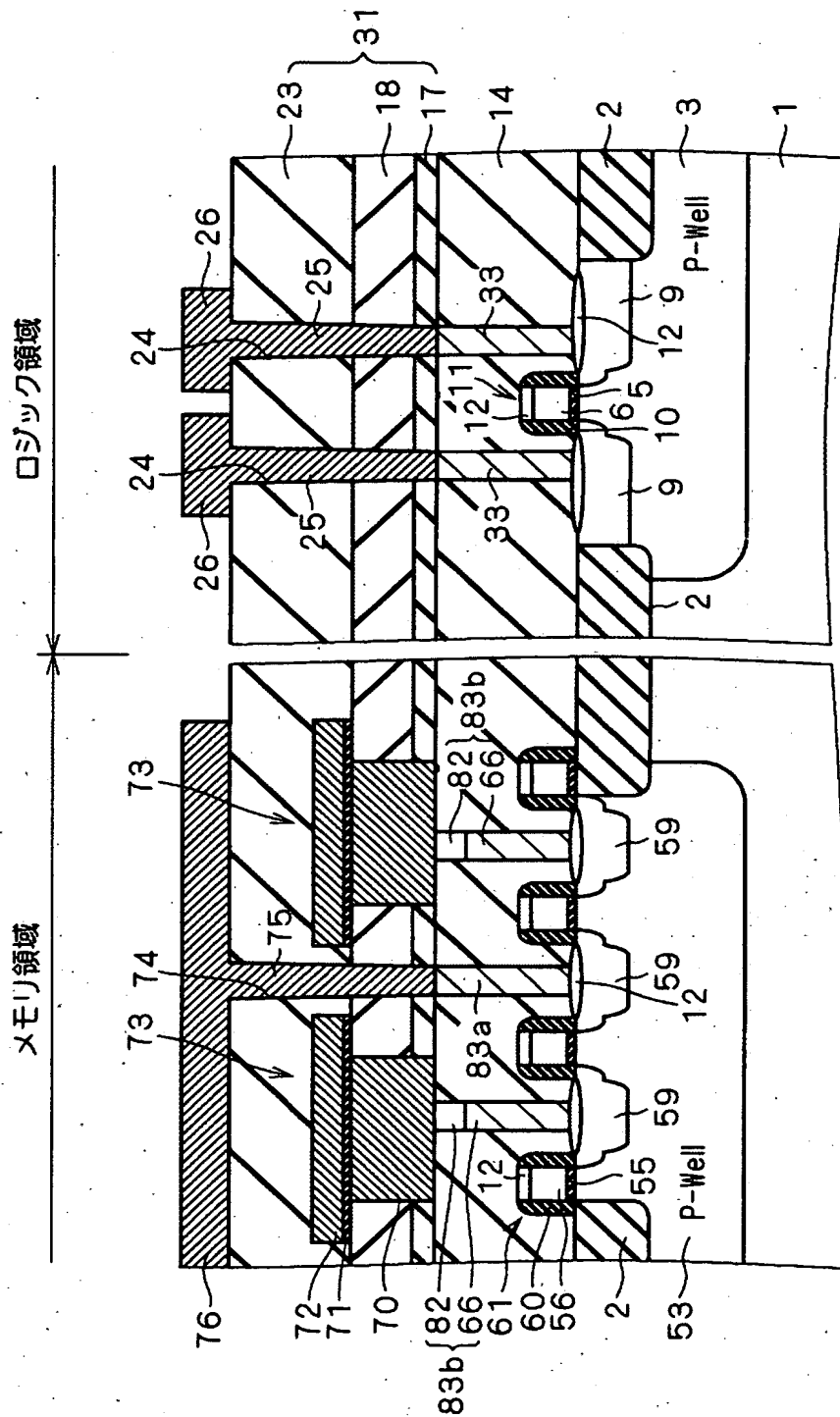
【図 18】



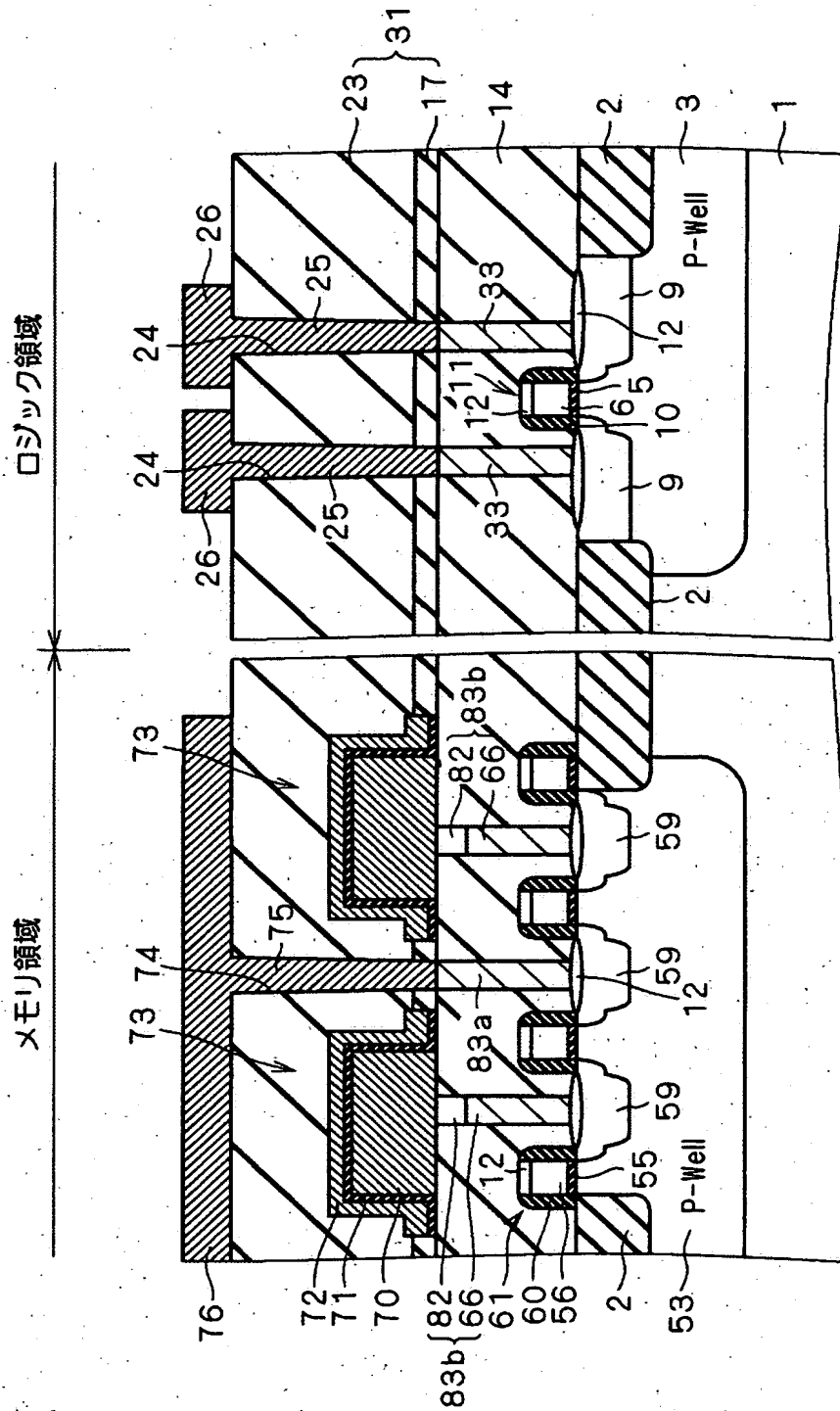
【図19】



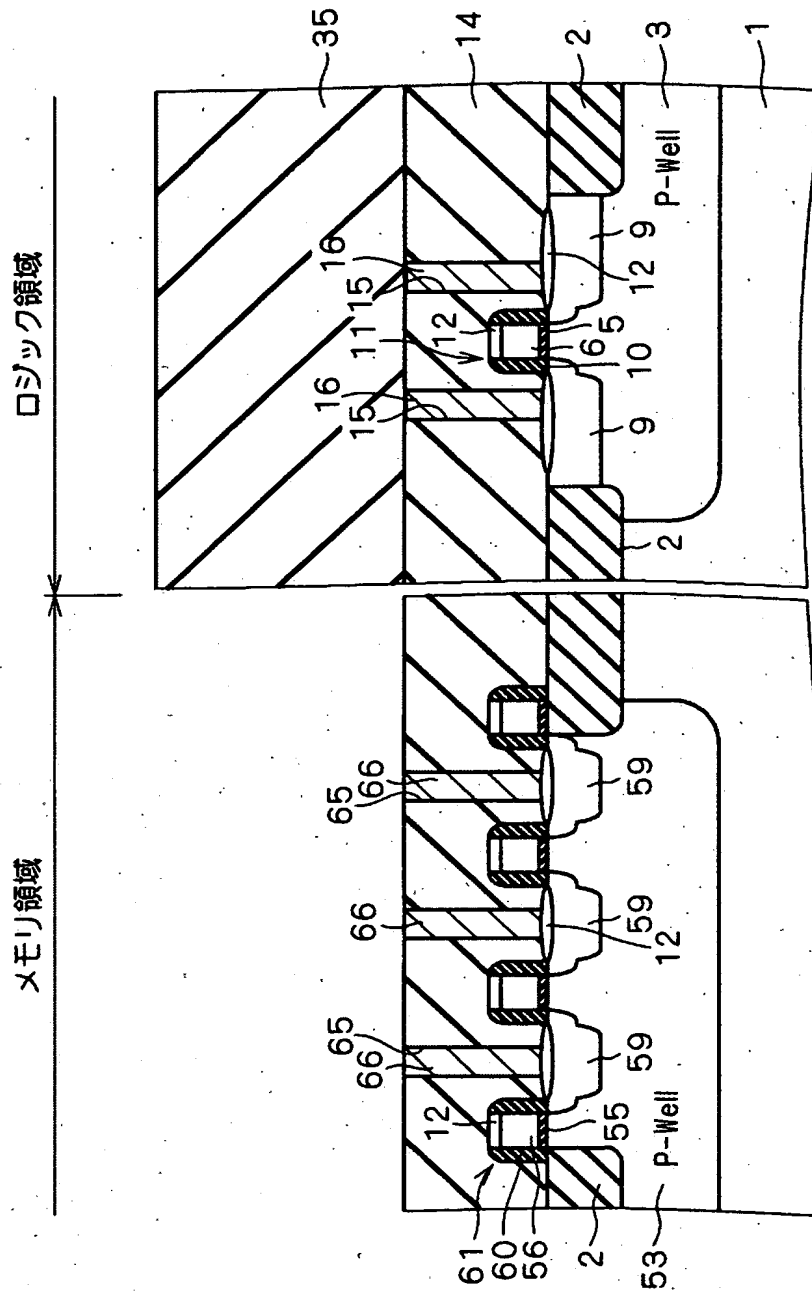
【図 20】



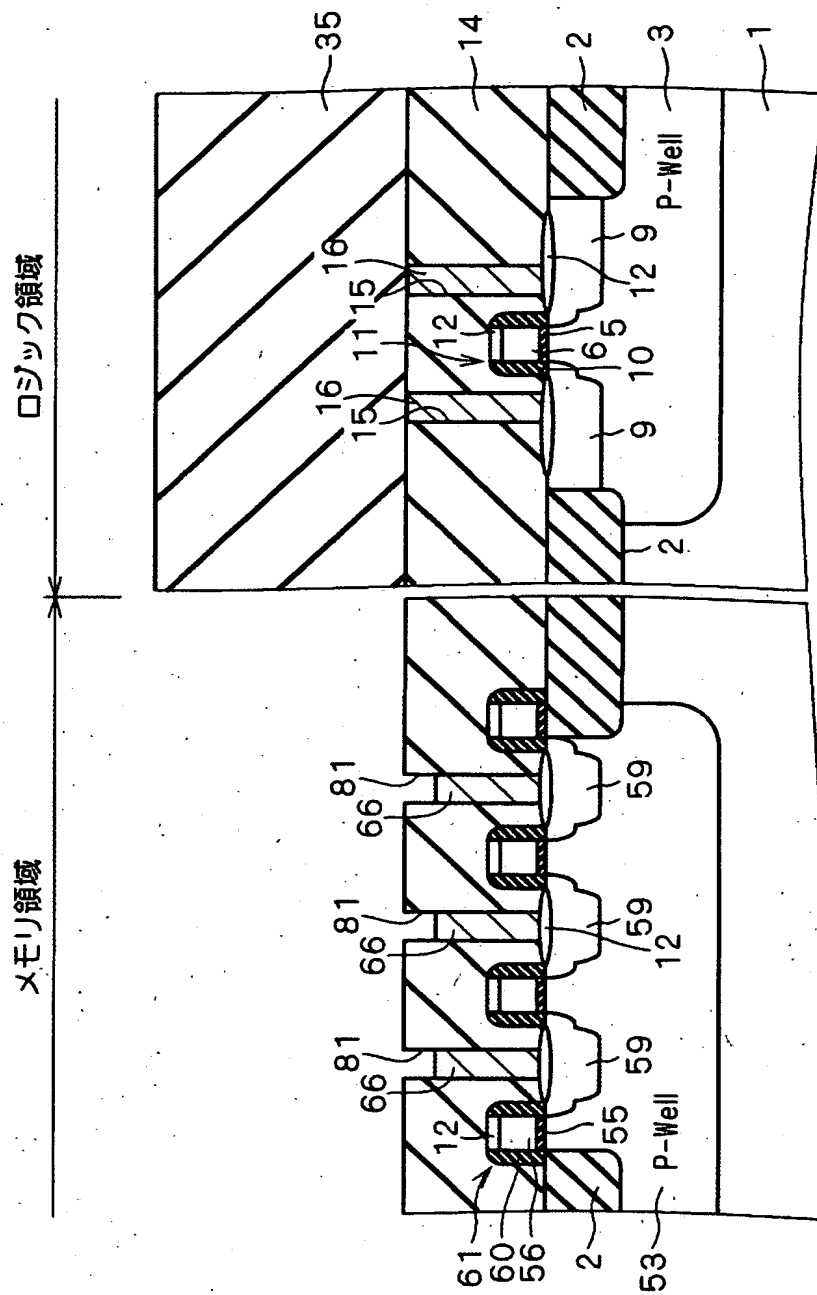
【図21】



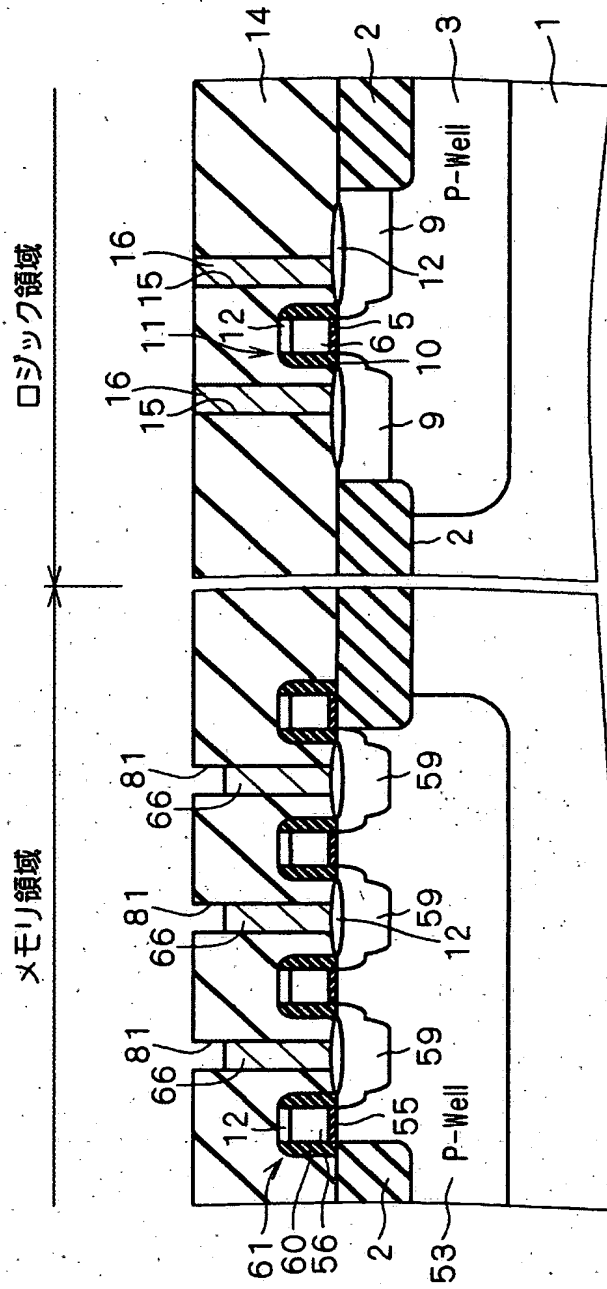
【図 22】



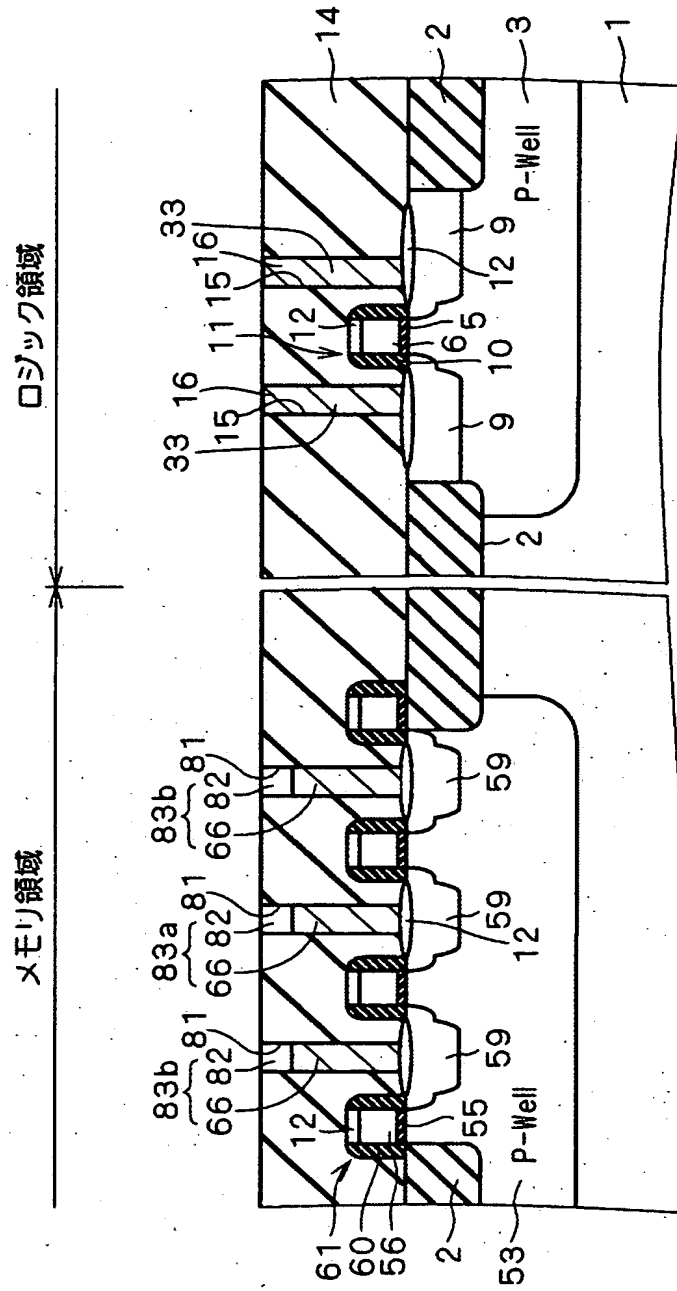
【図 23】



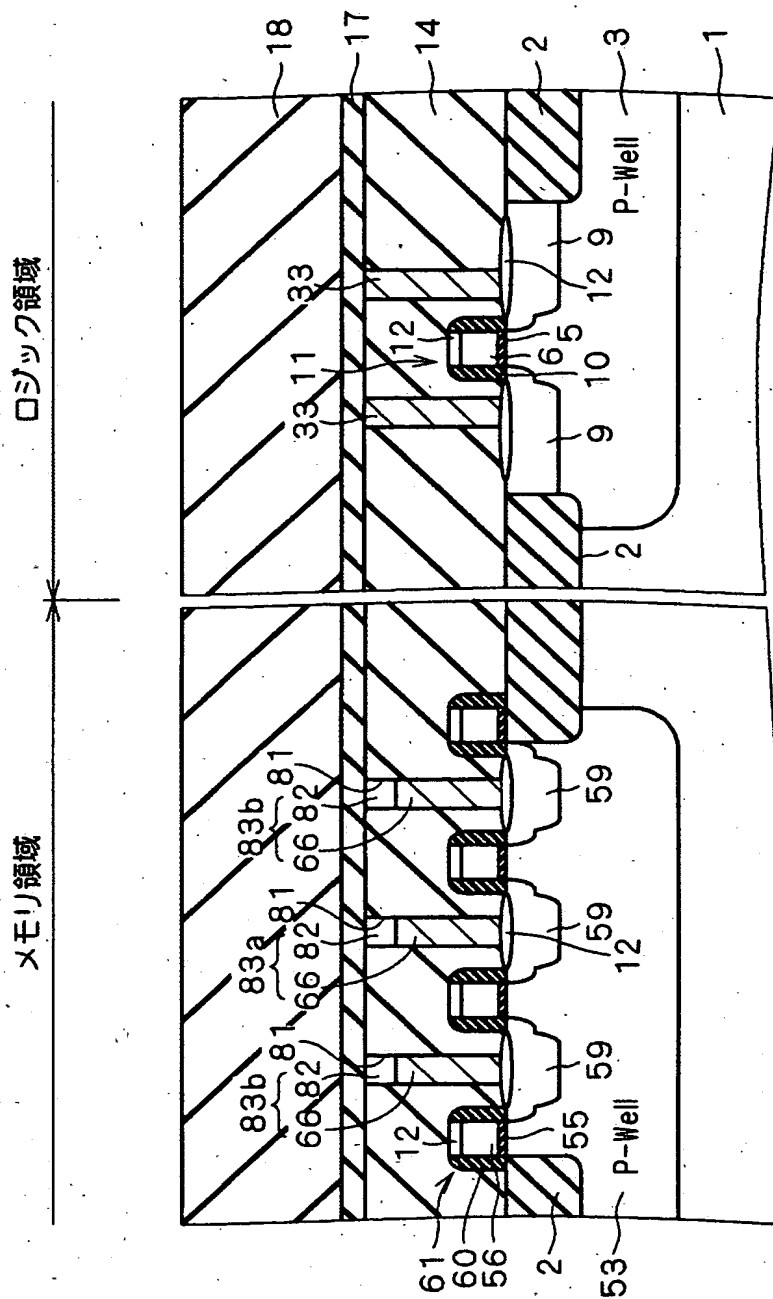
【図 24】



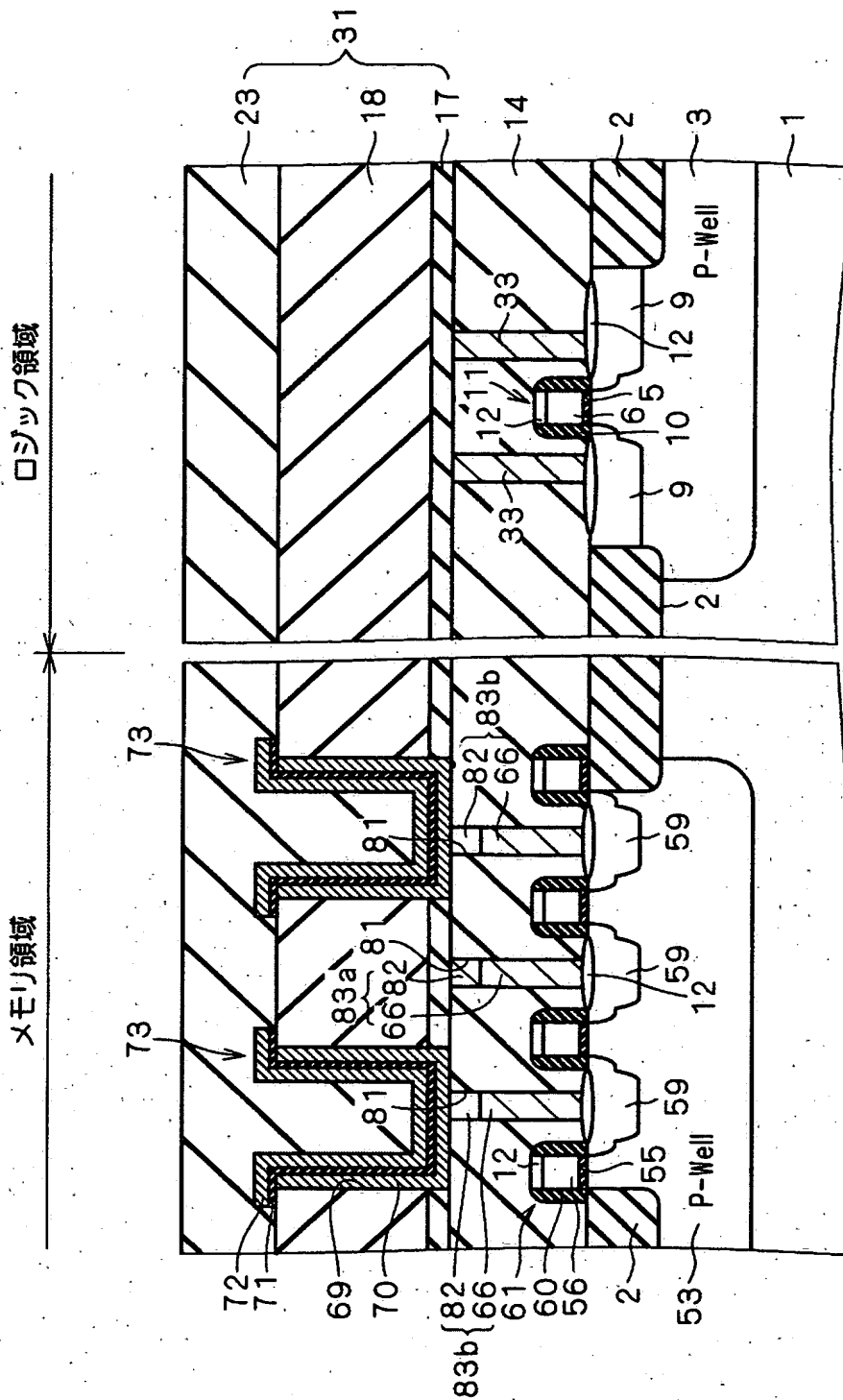
【図 25】



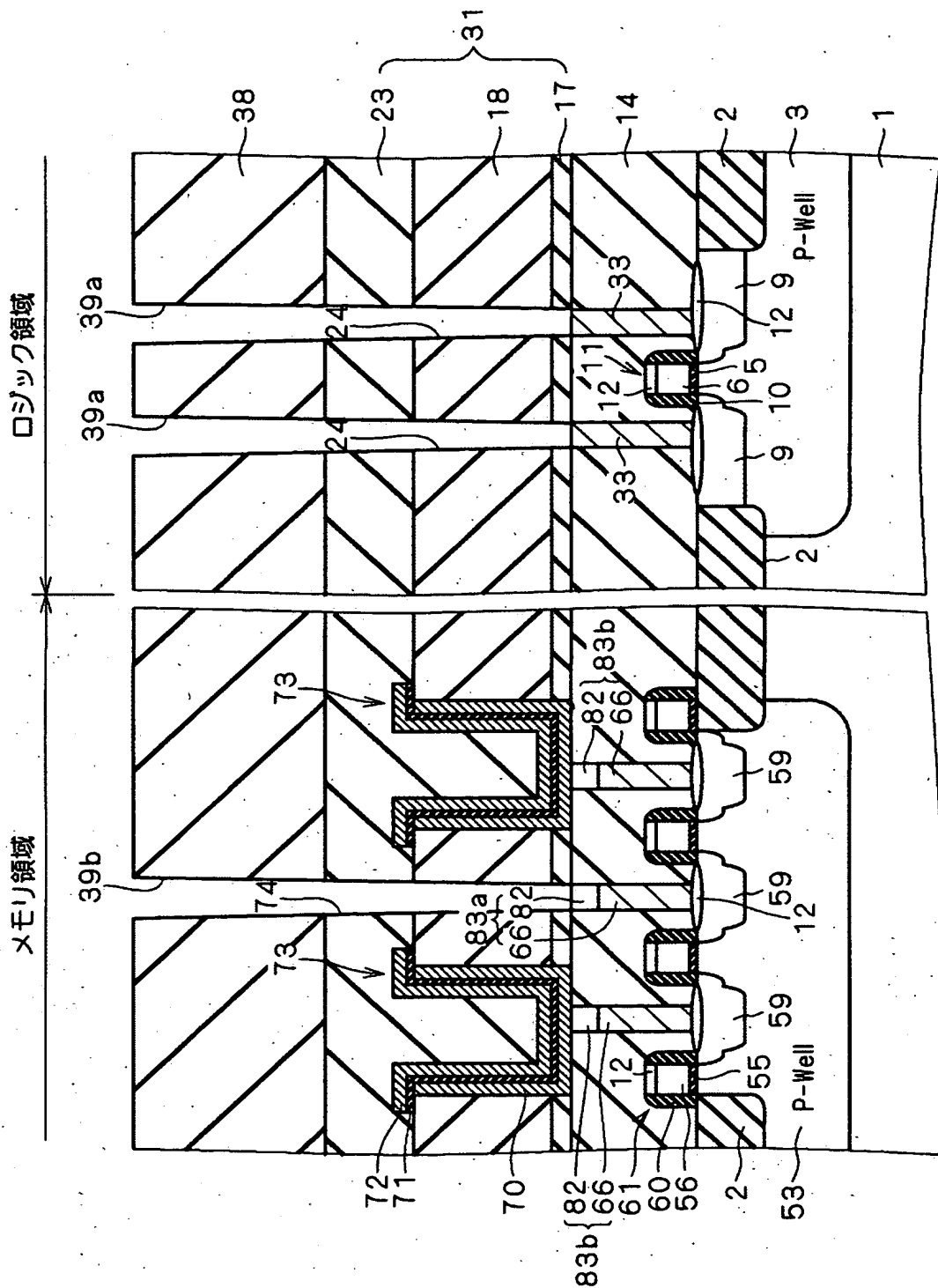
【図 26】



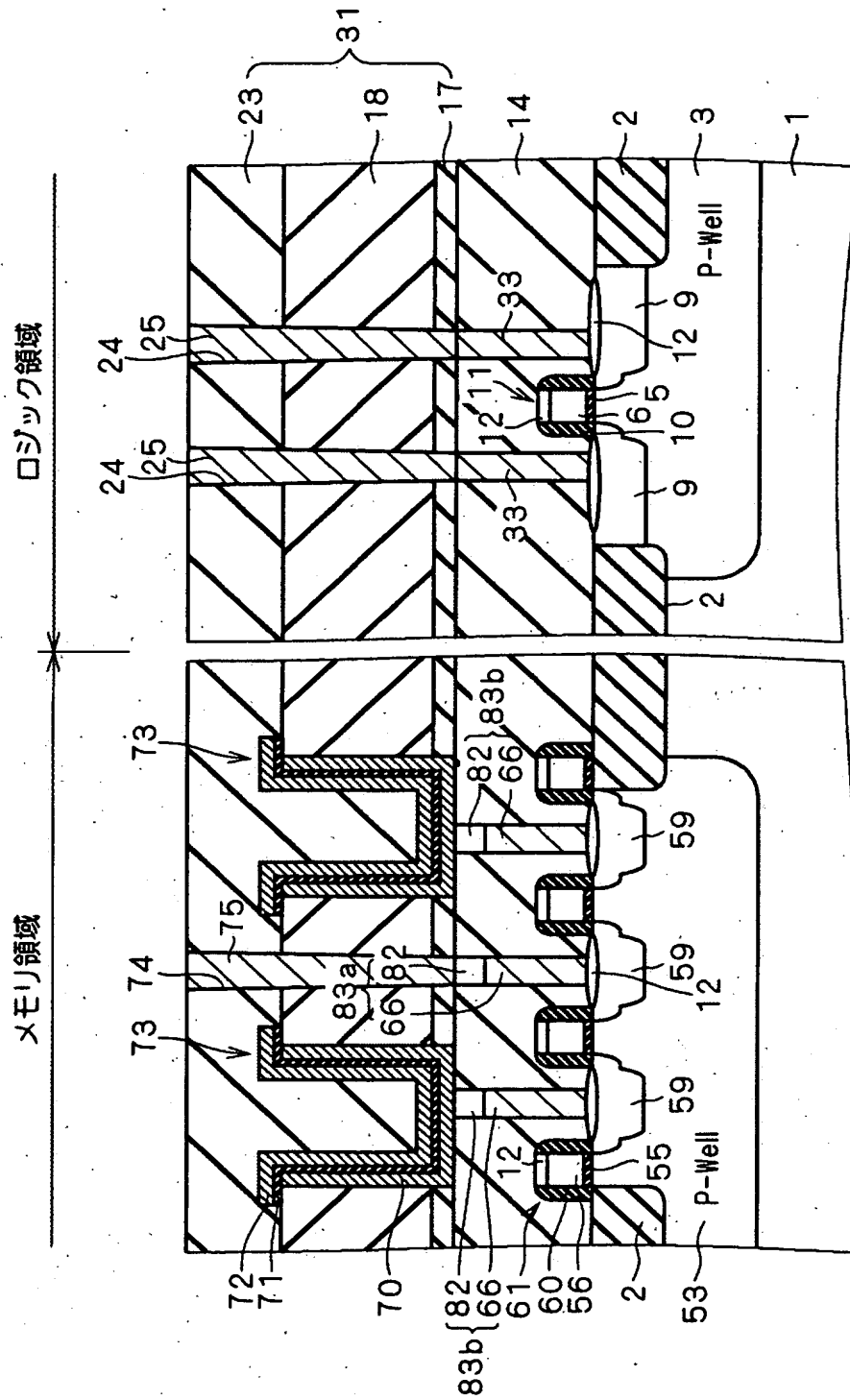
【図 27】



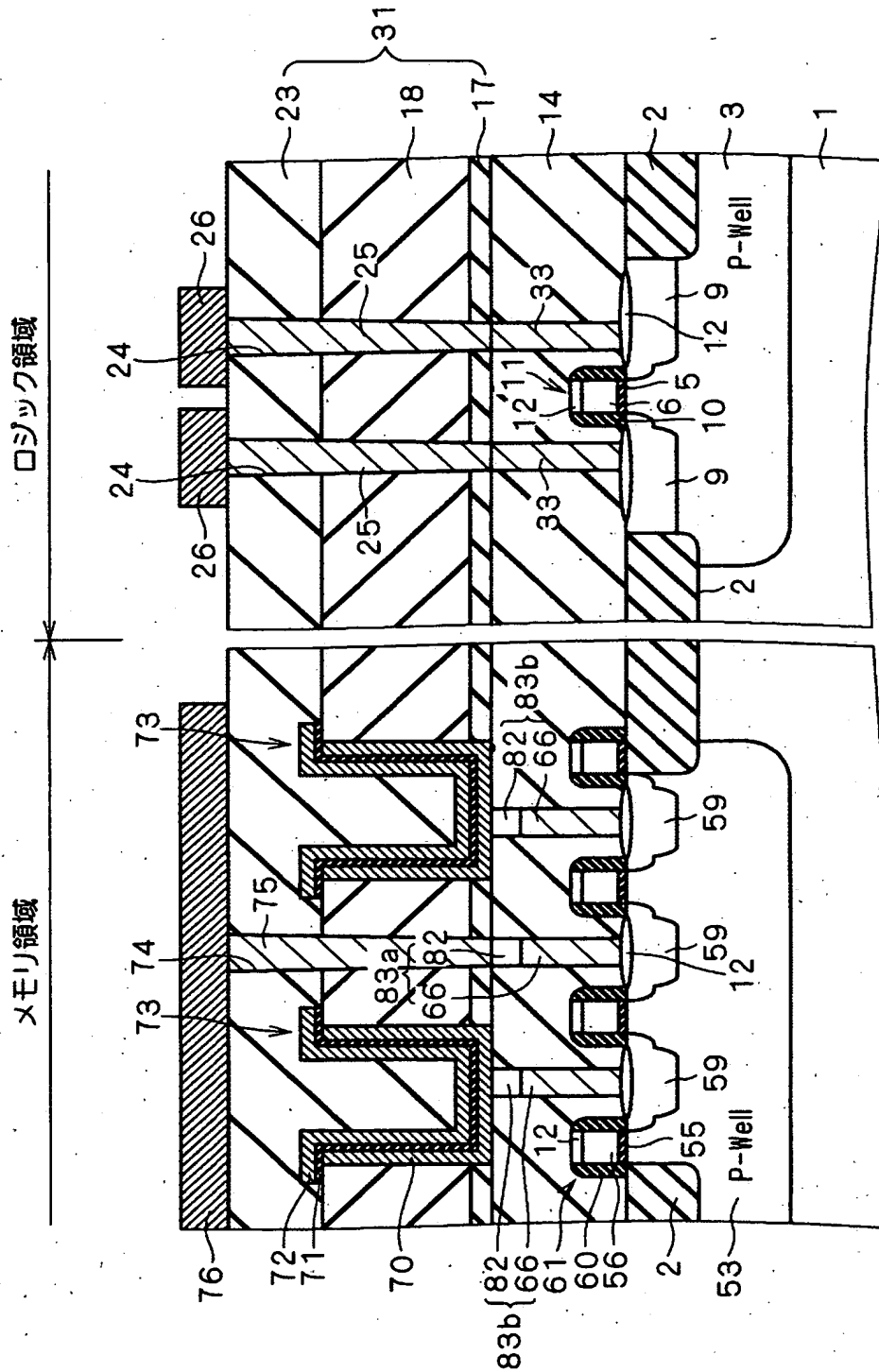
【図 28】



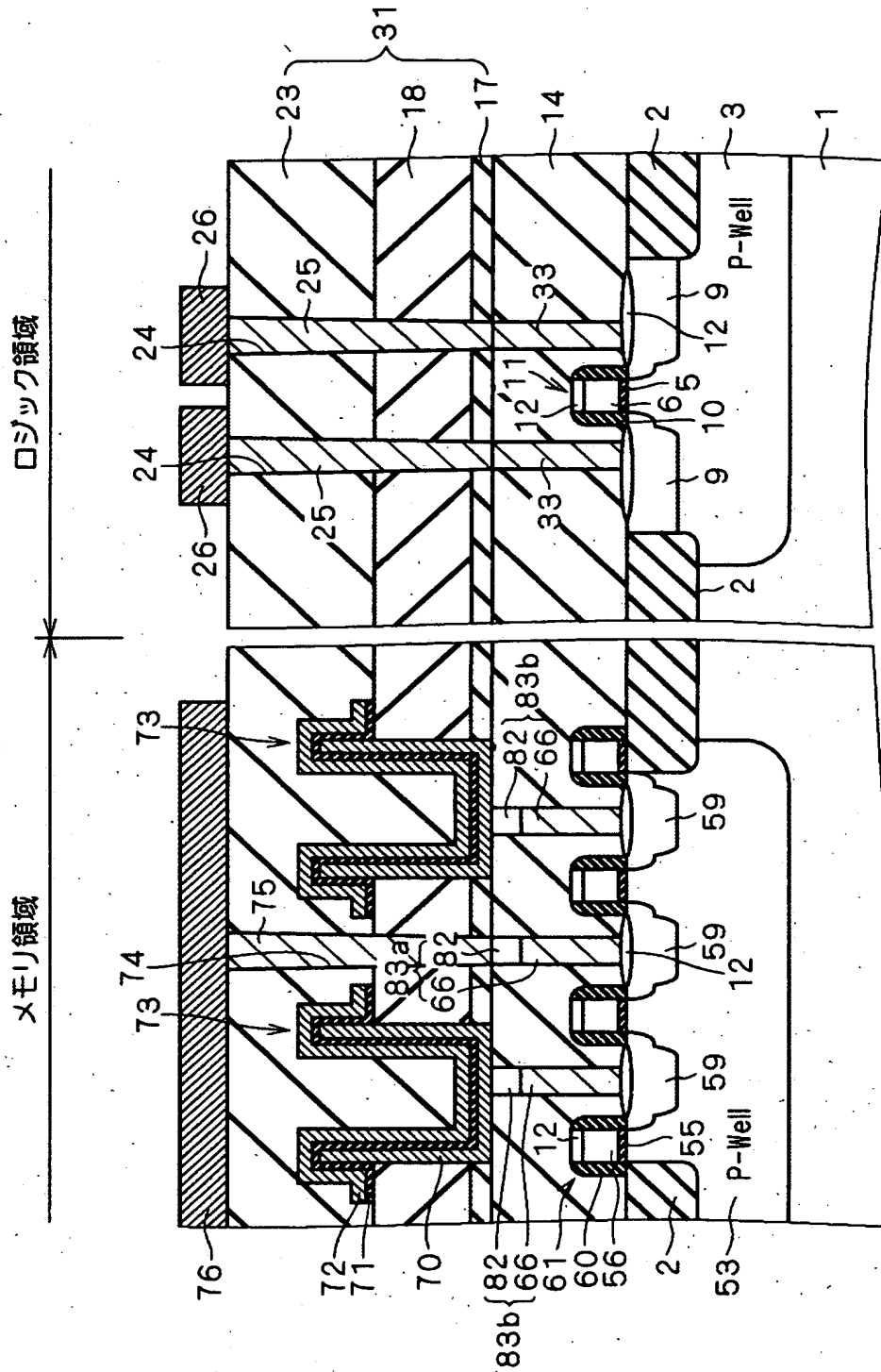
【図29】



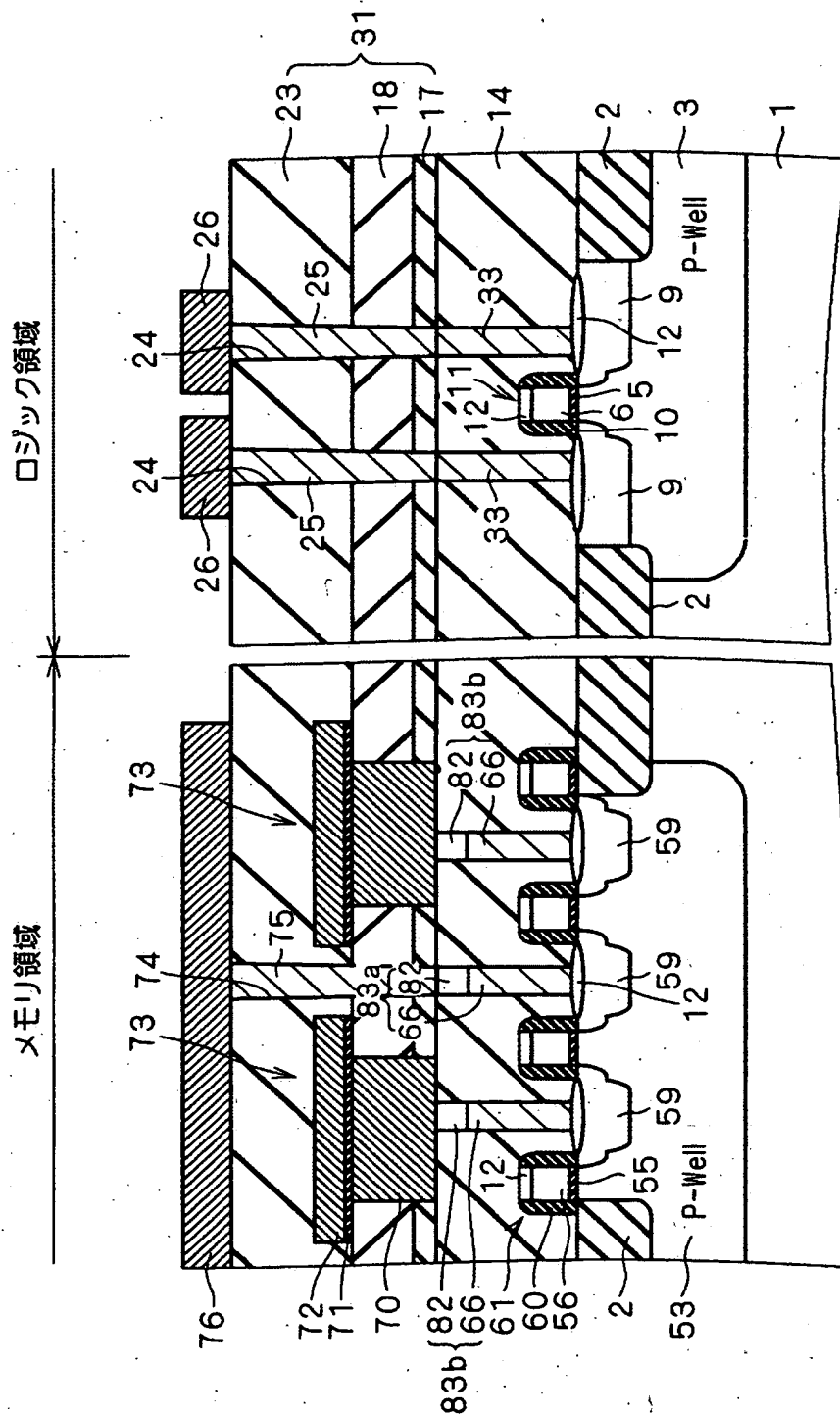
【図 30】



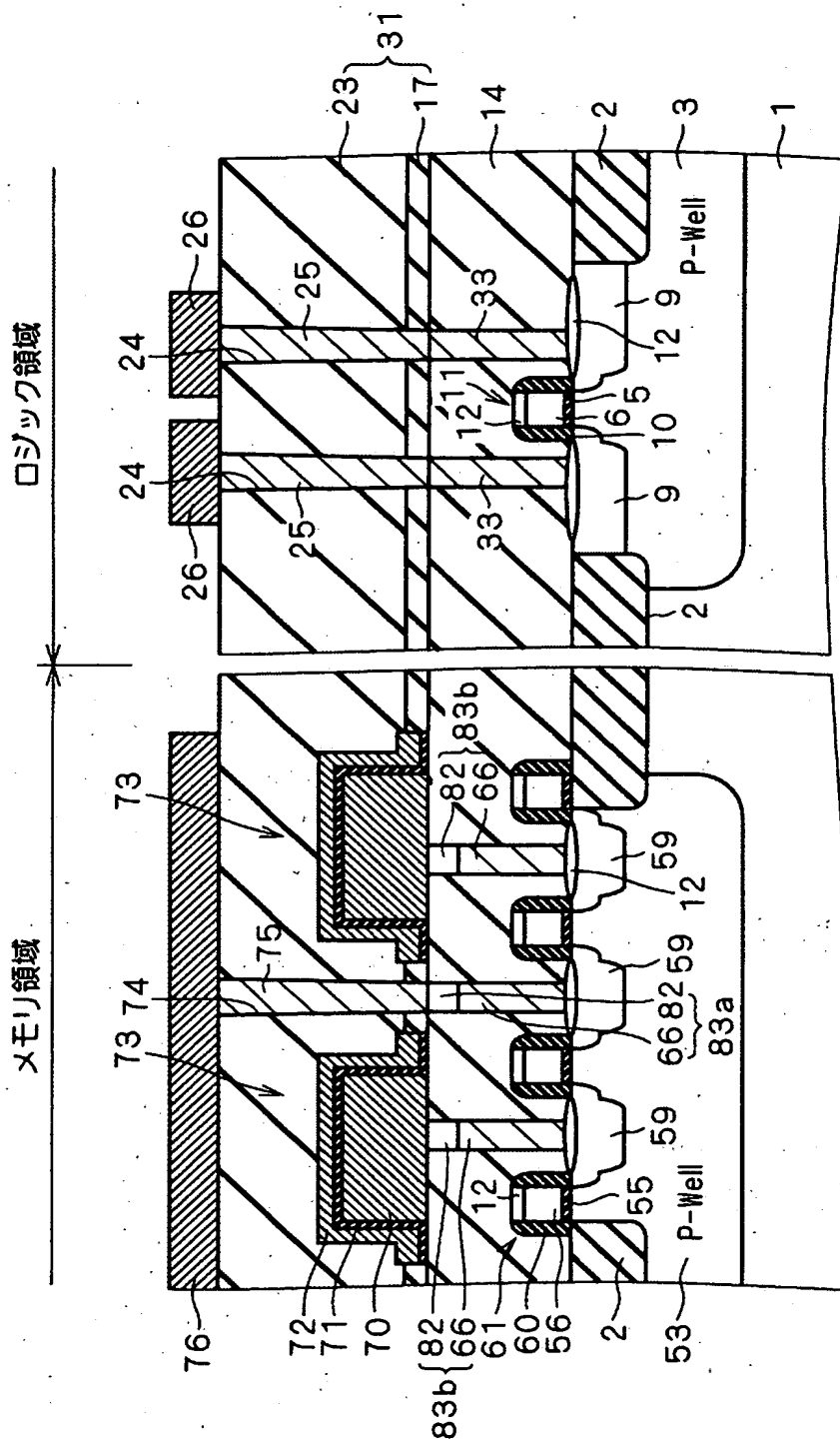
【図 31】



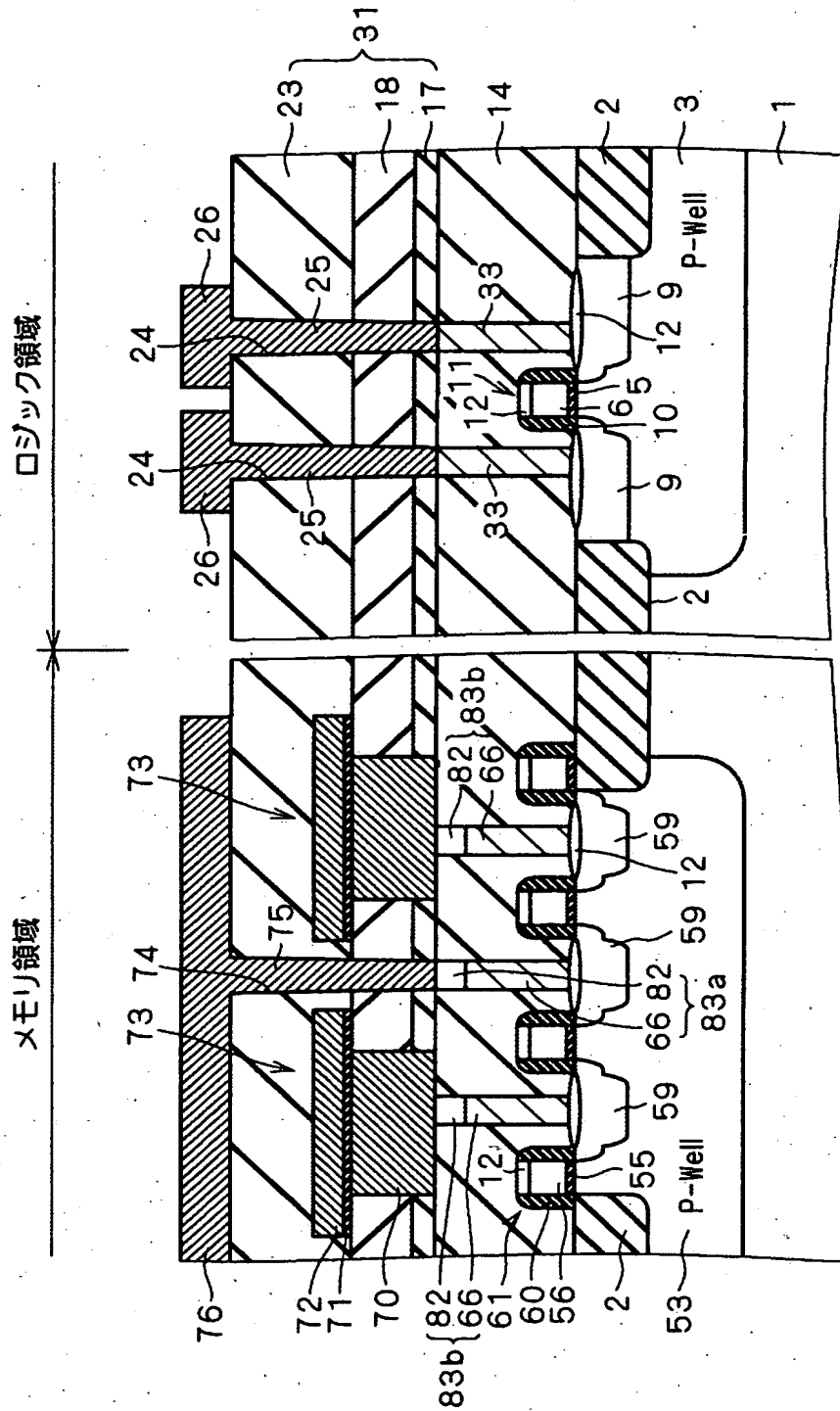
【図 3 2】



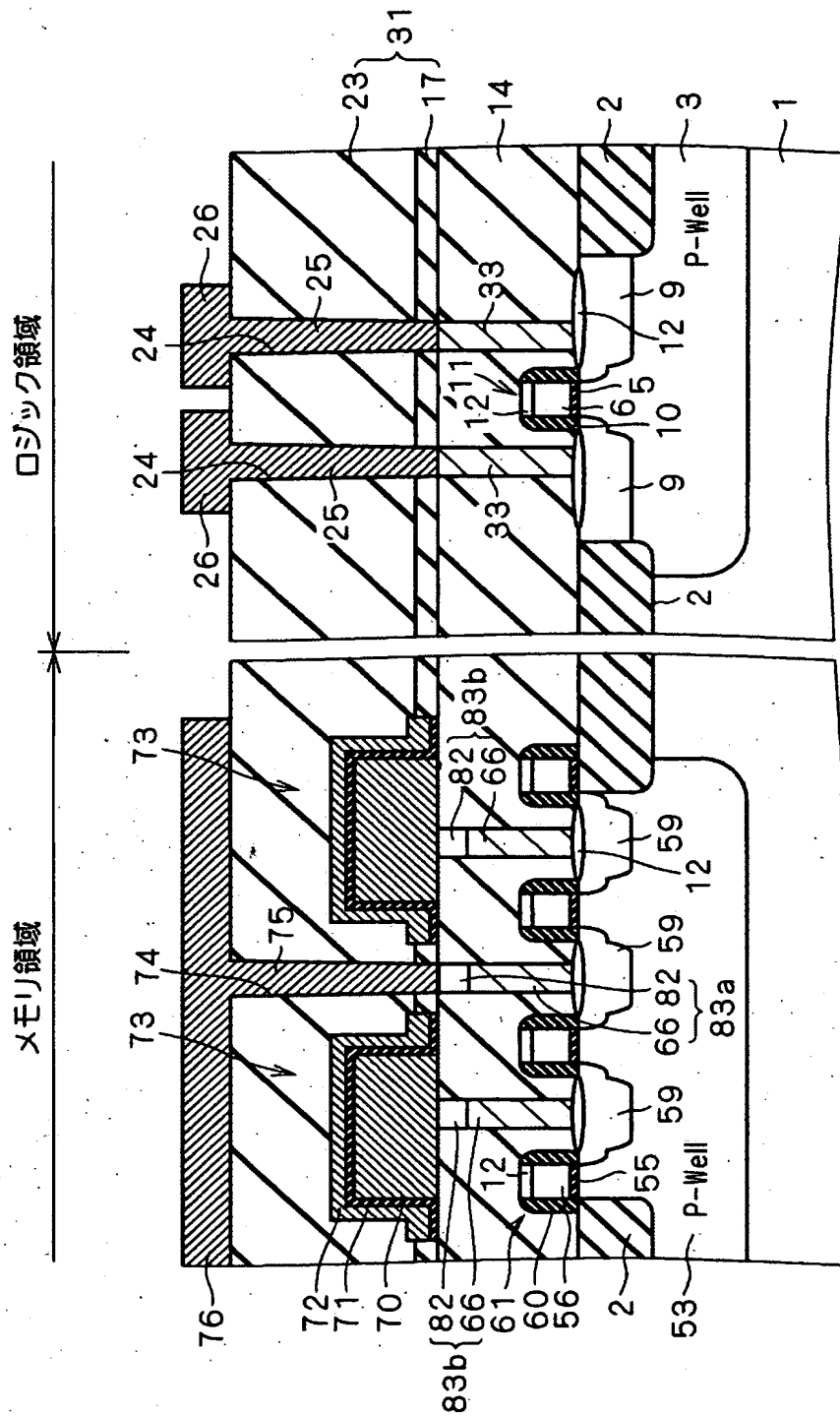
【図 33】



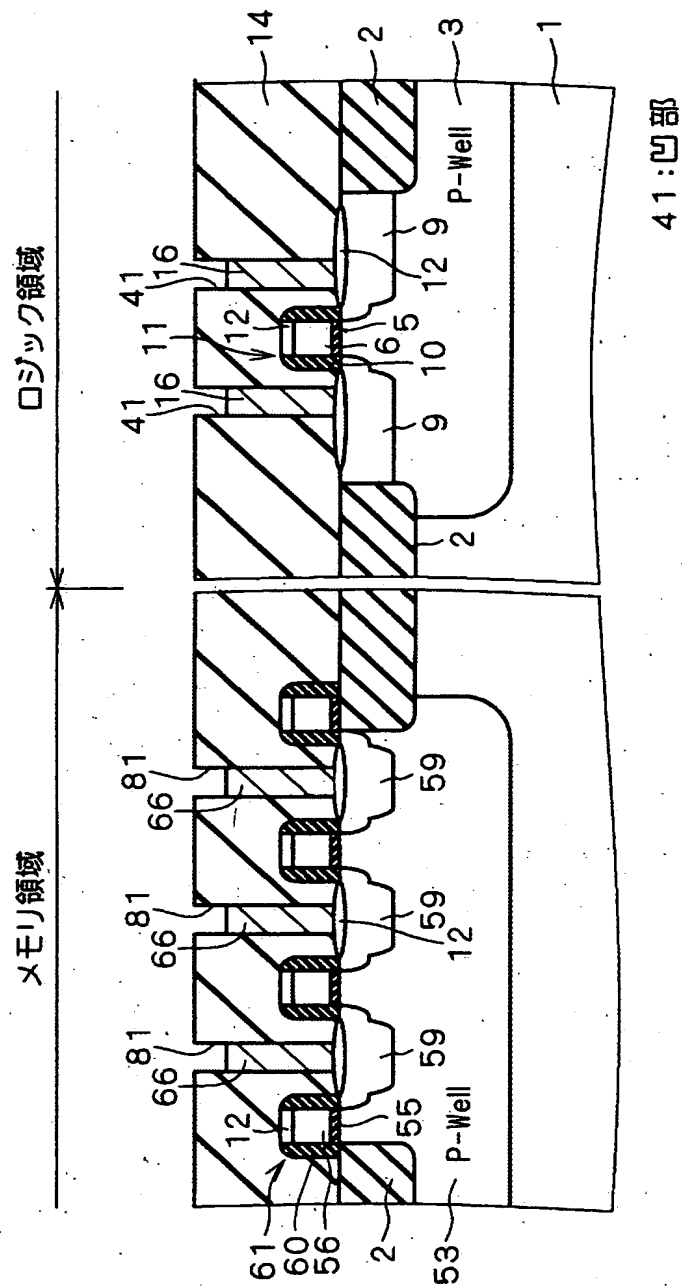
【図 34】



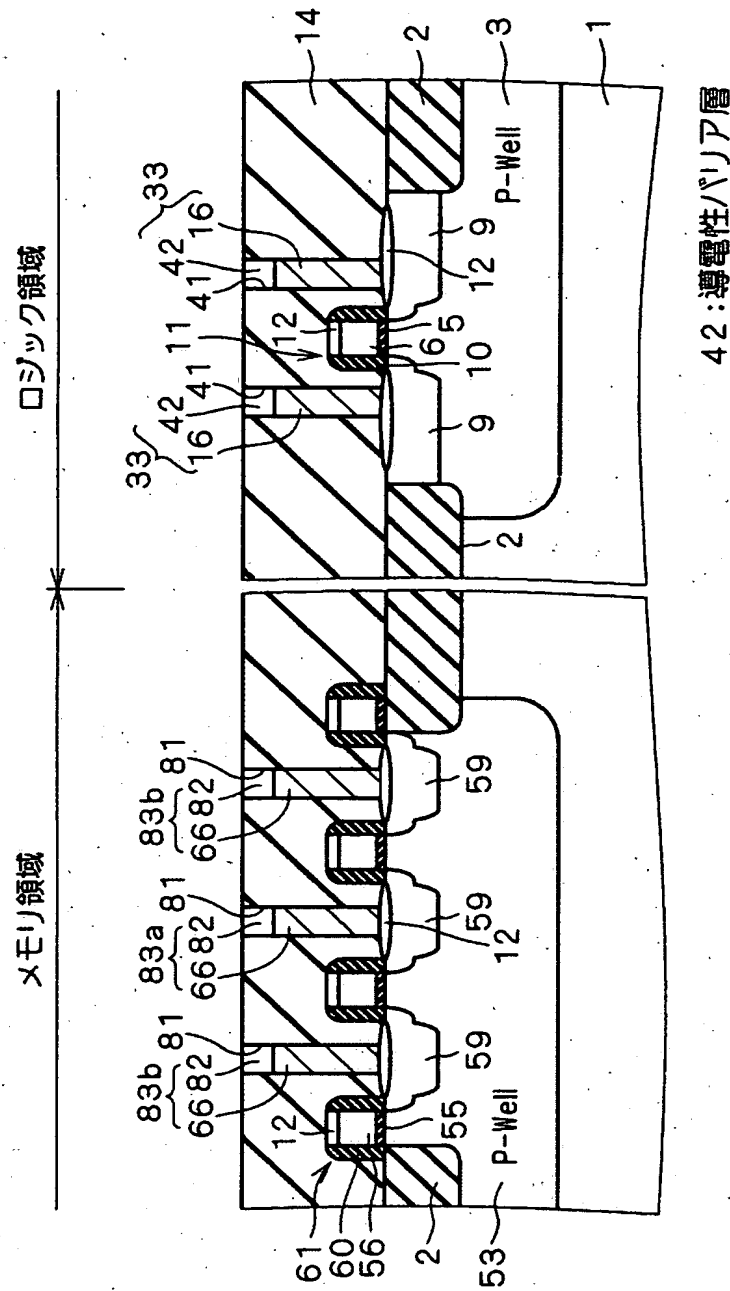
【図 35】



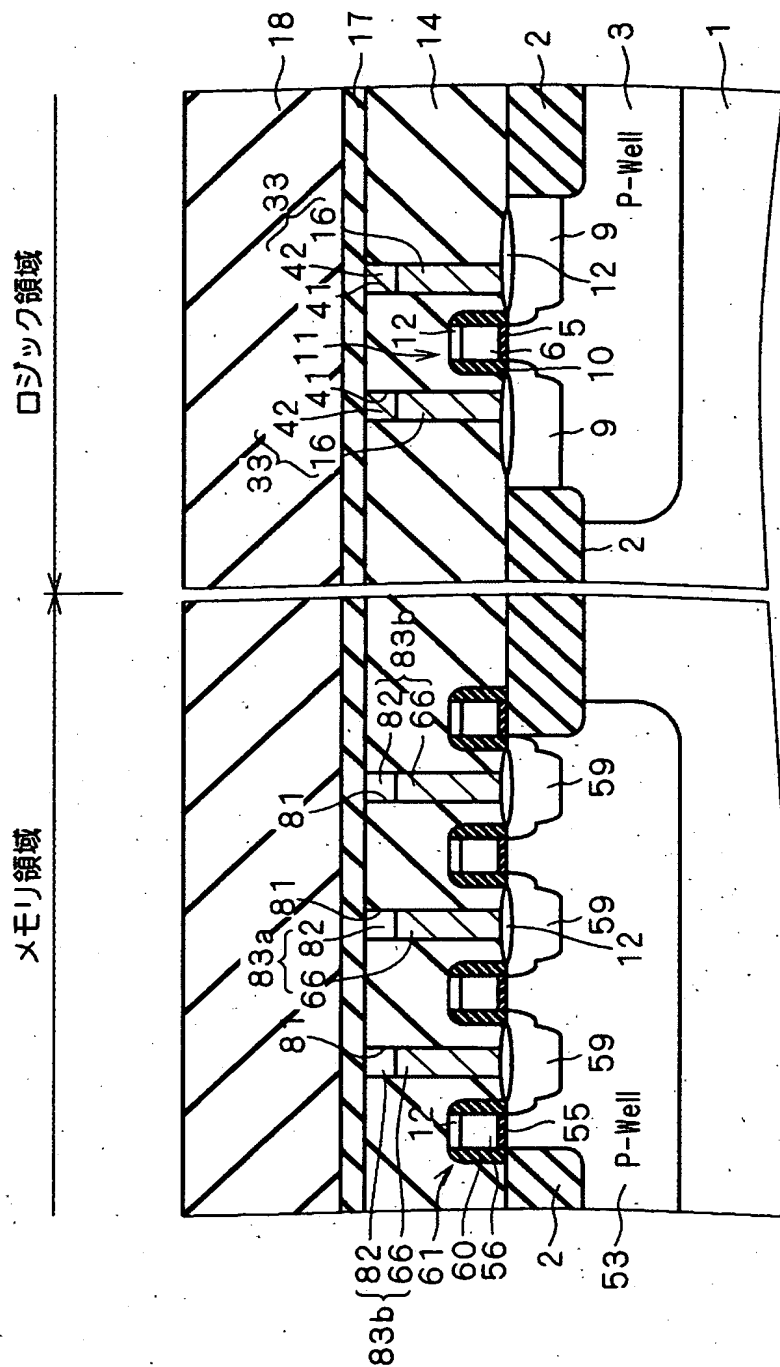
【図36】



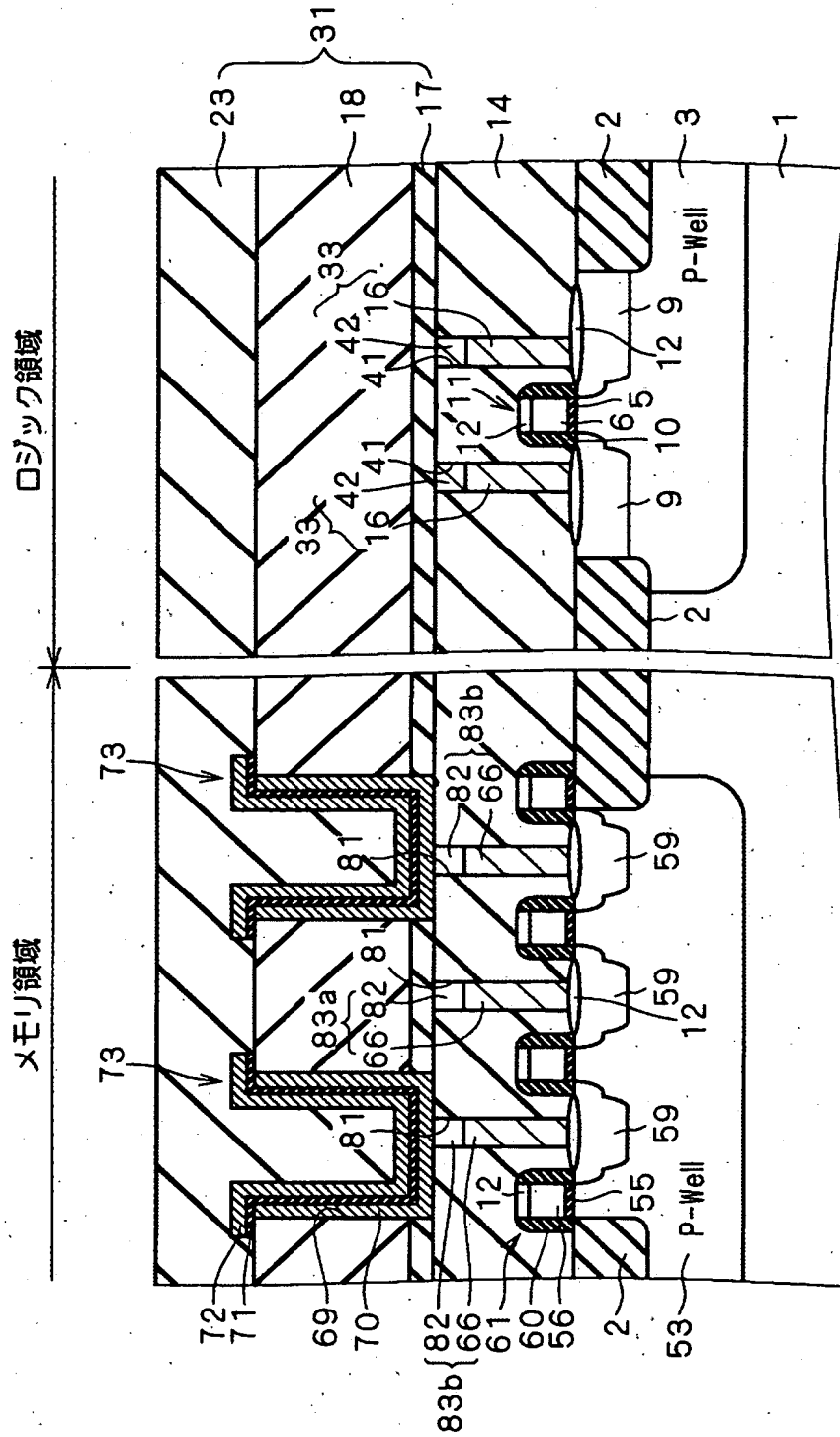
【図 37】



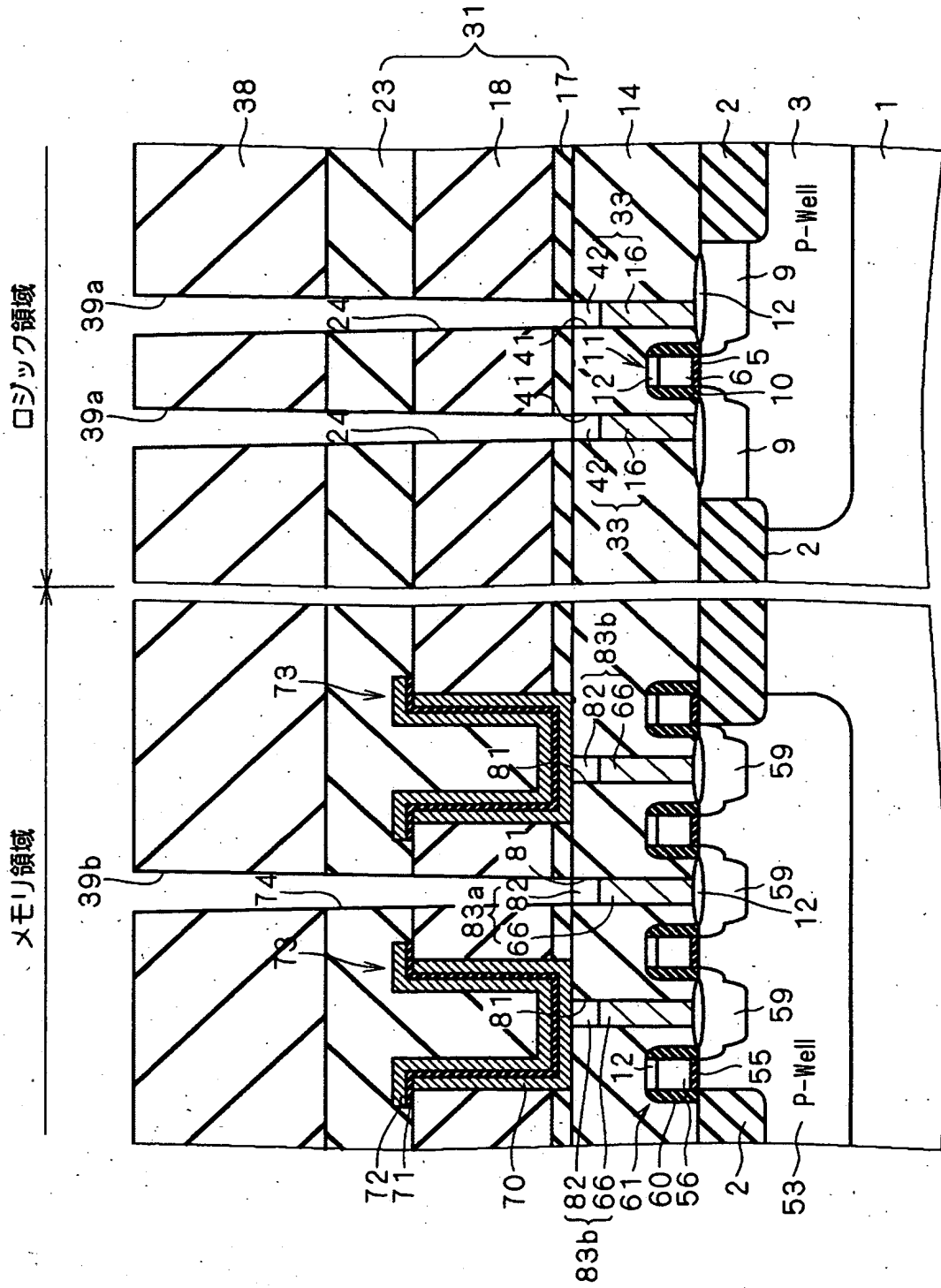
【図 38】



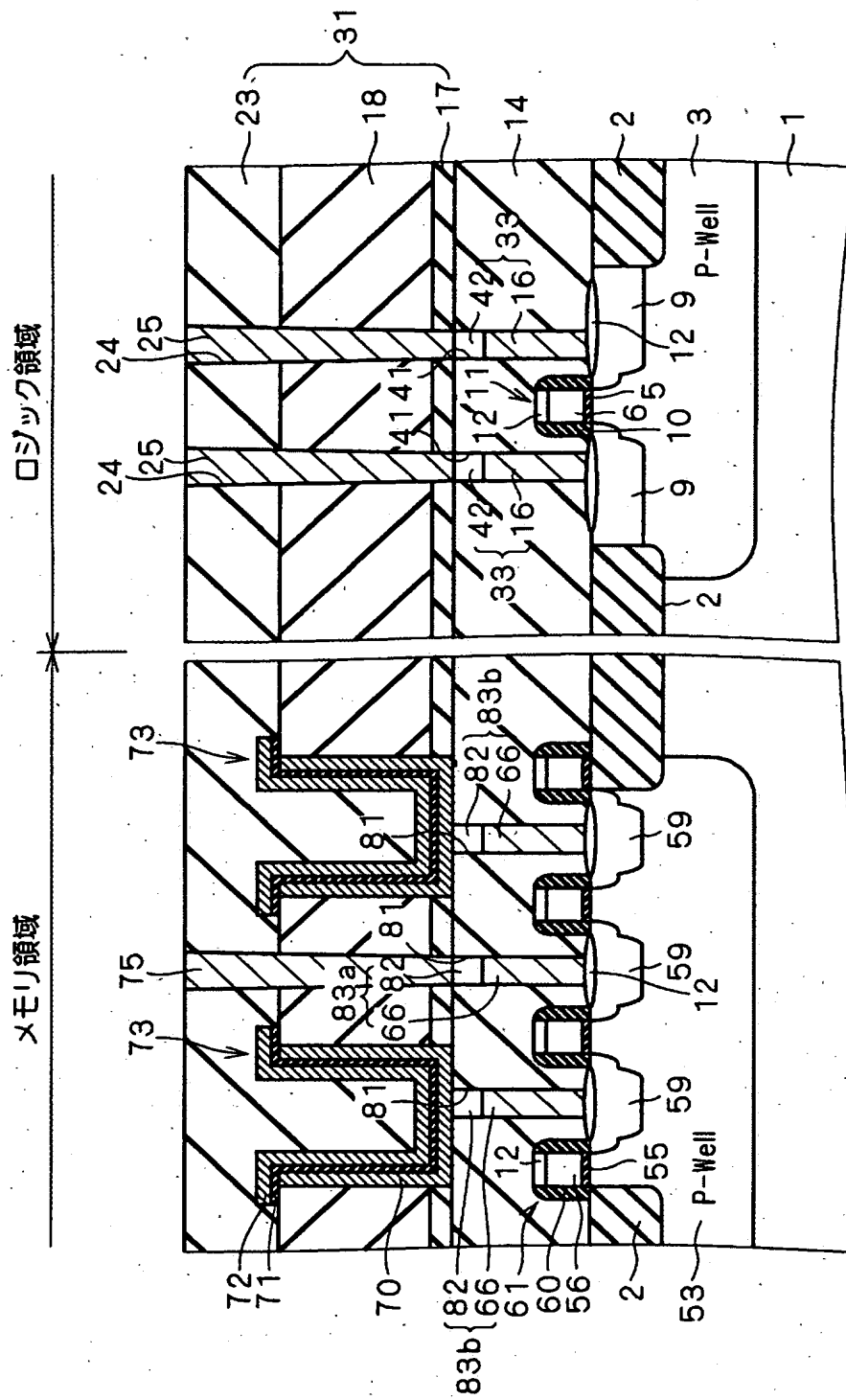
【図 39】



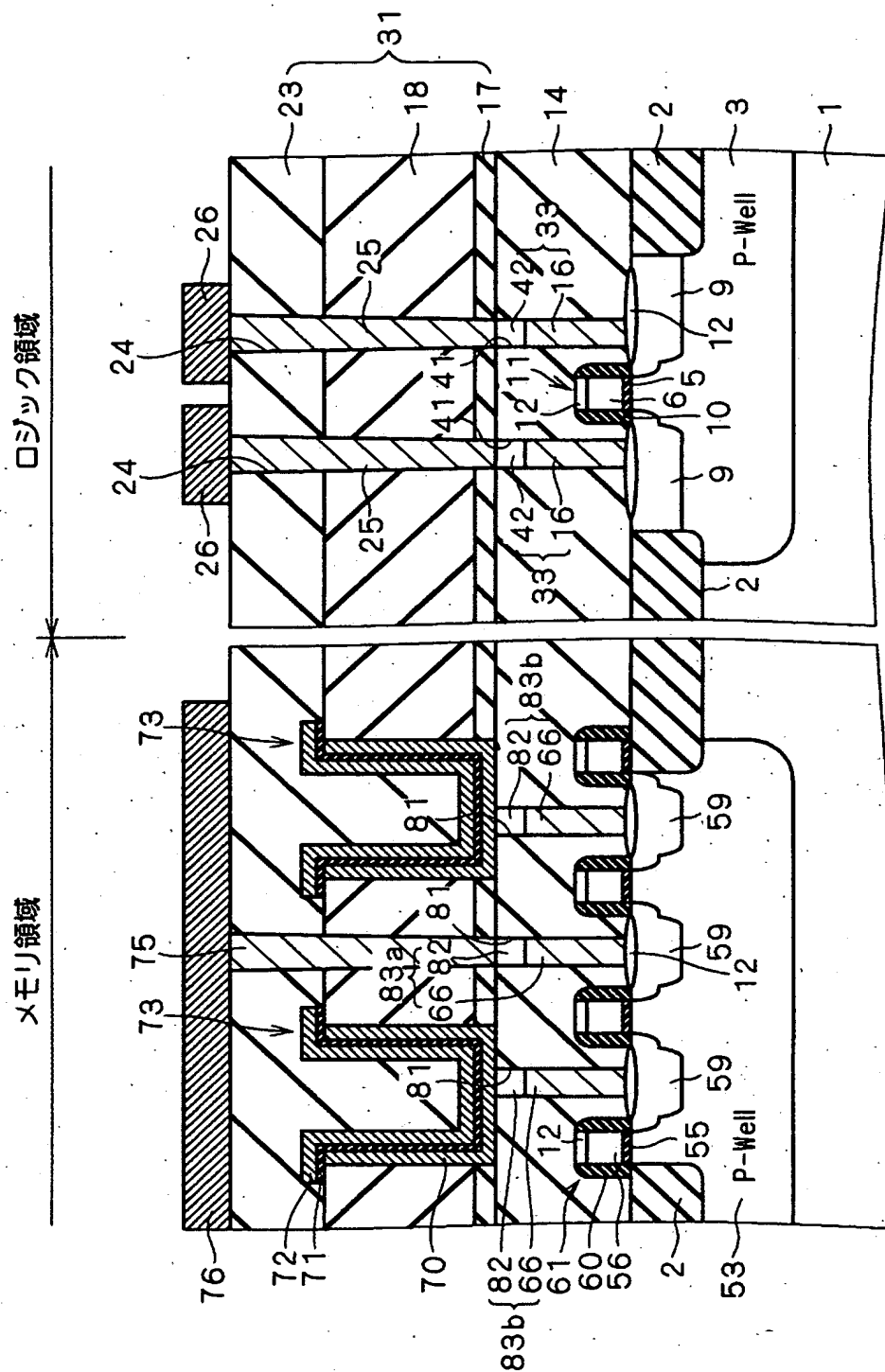
【図 40】



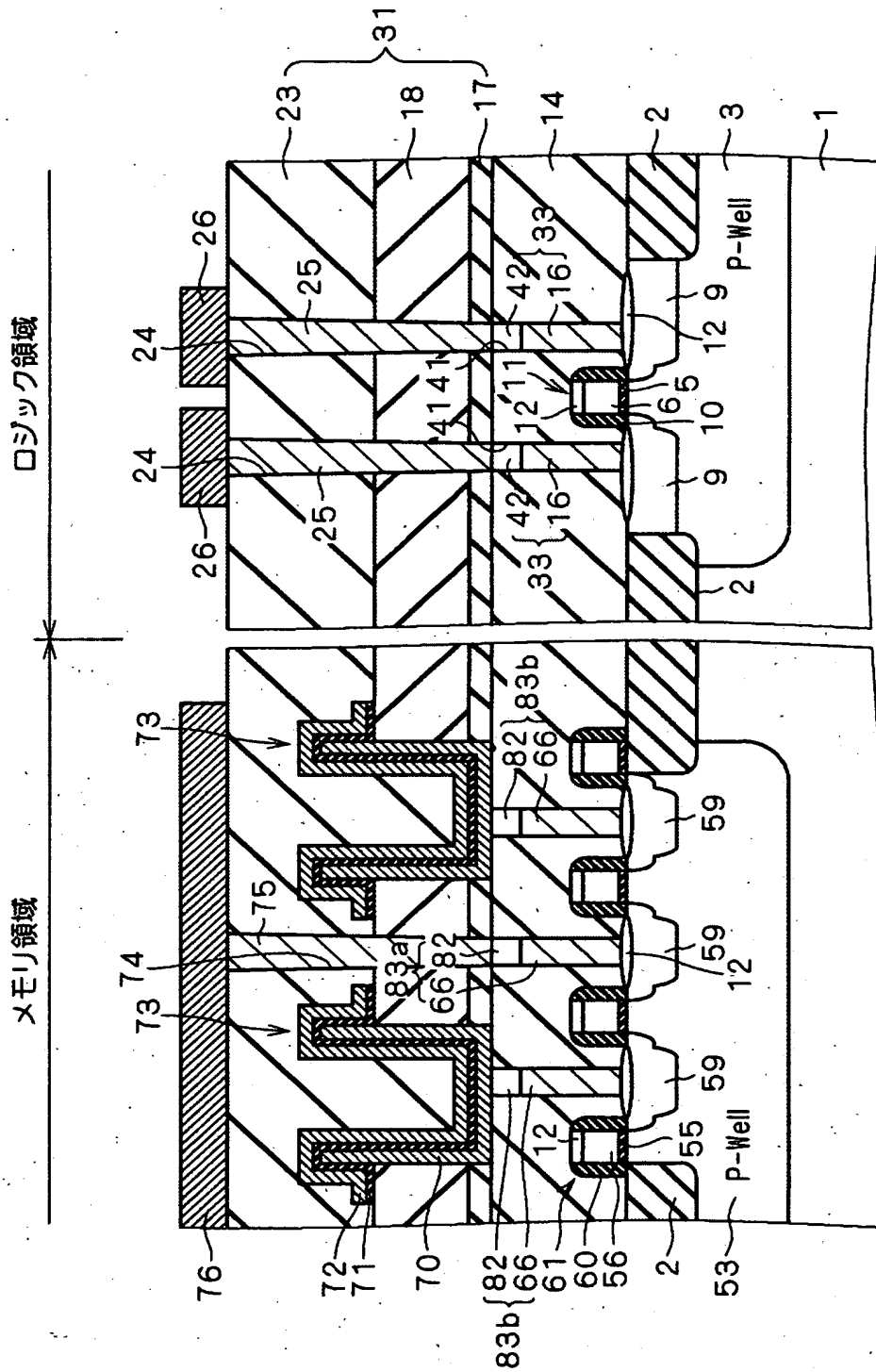
【図 4 1】



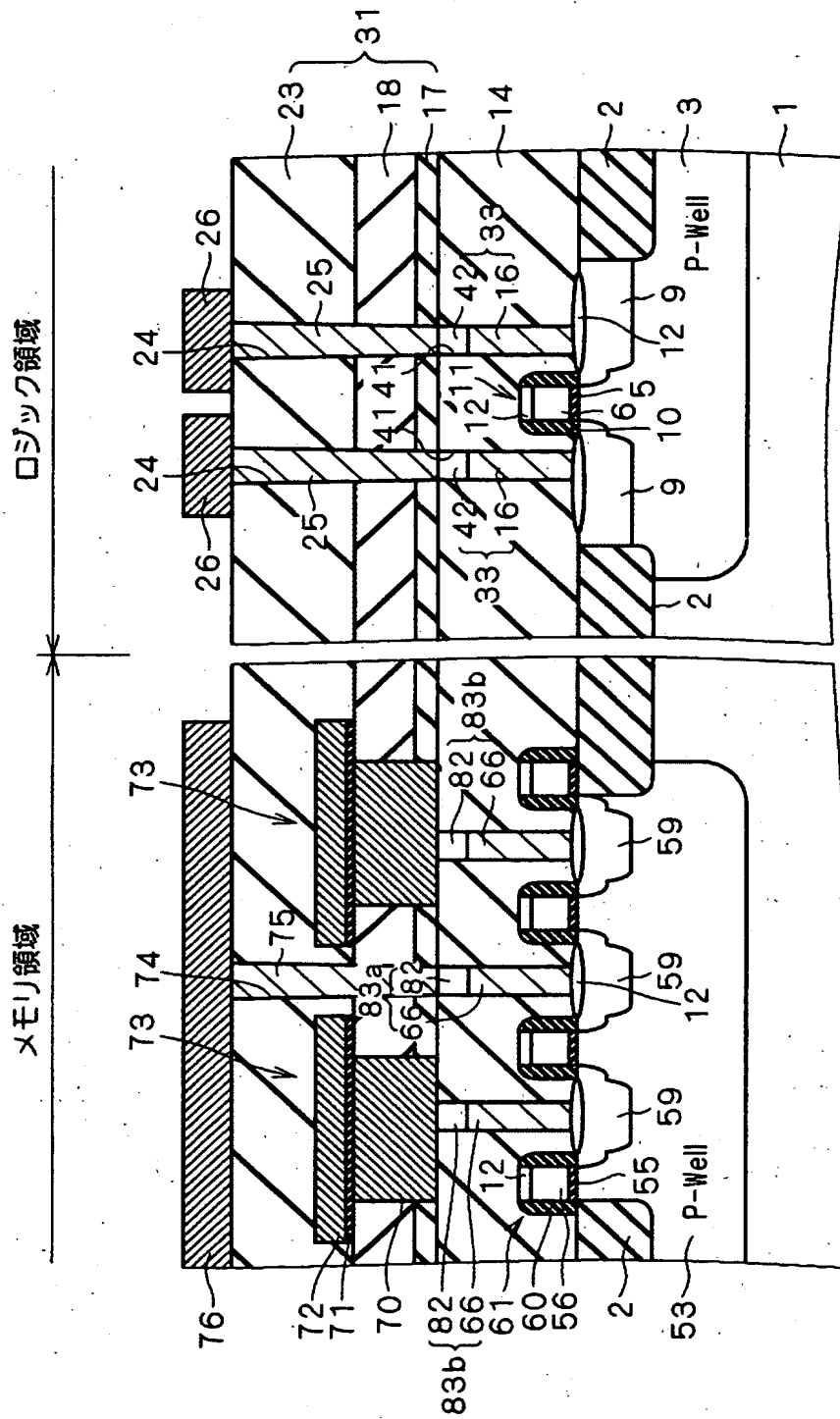
【図 4 2】



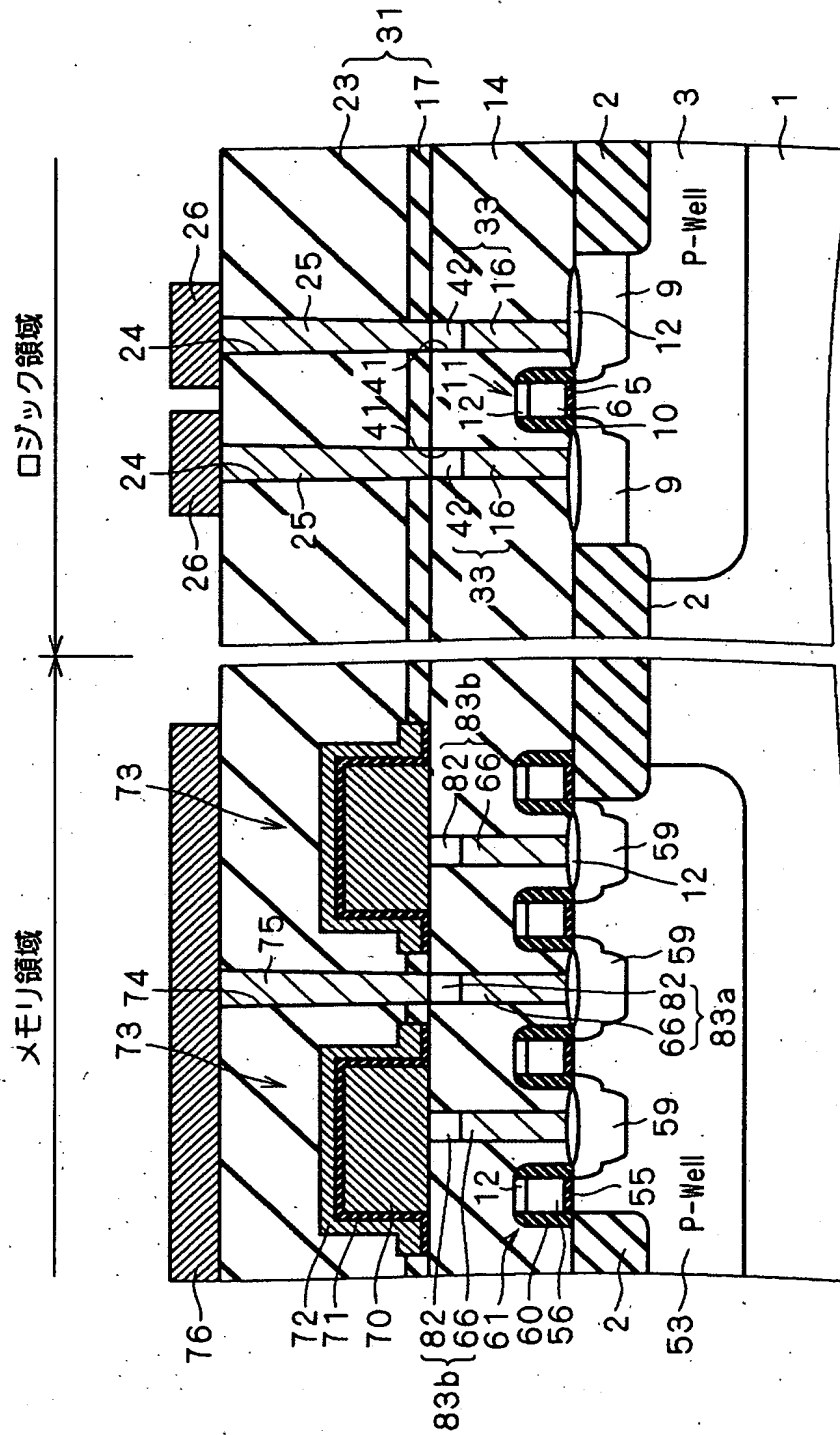
【図 43】



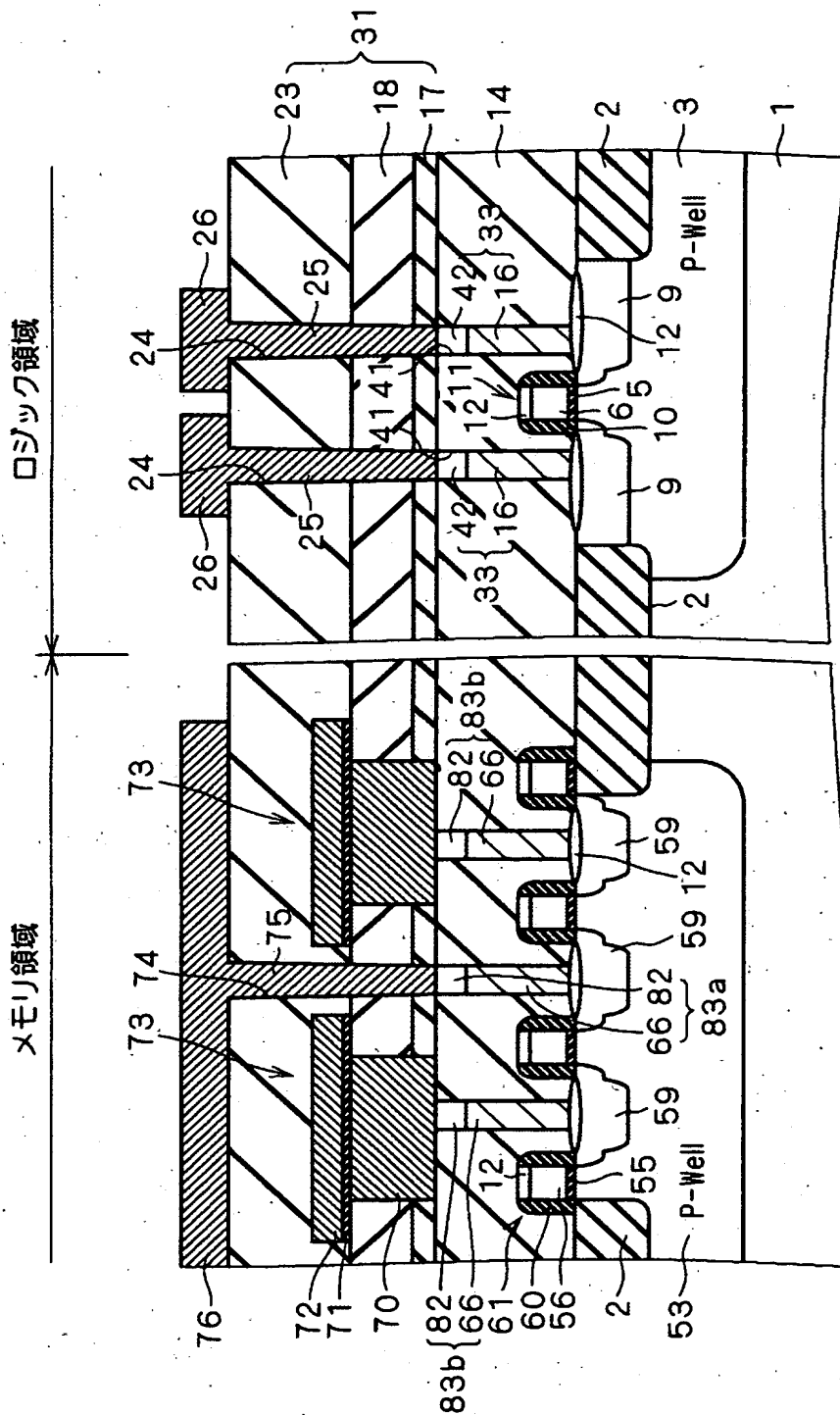
【図 44】



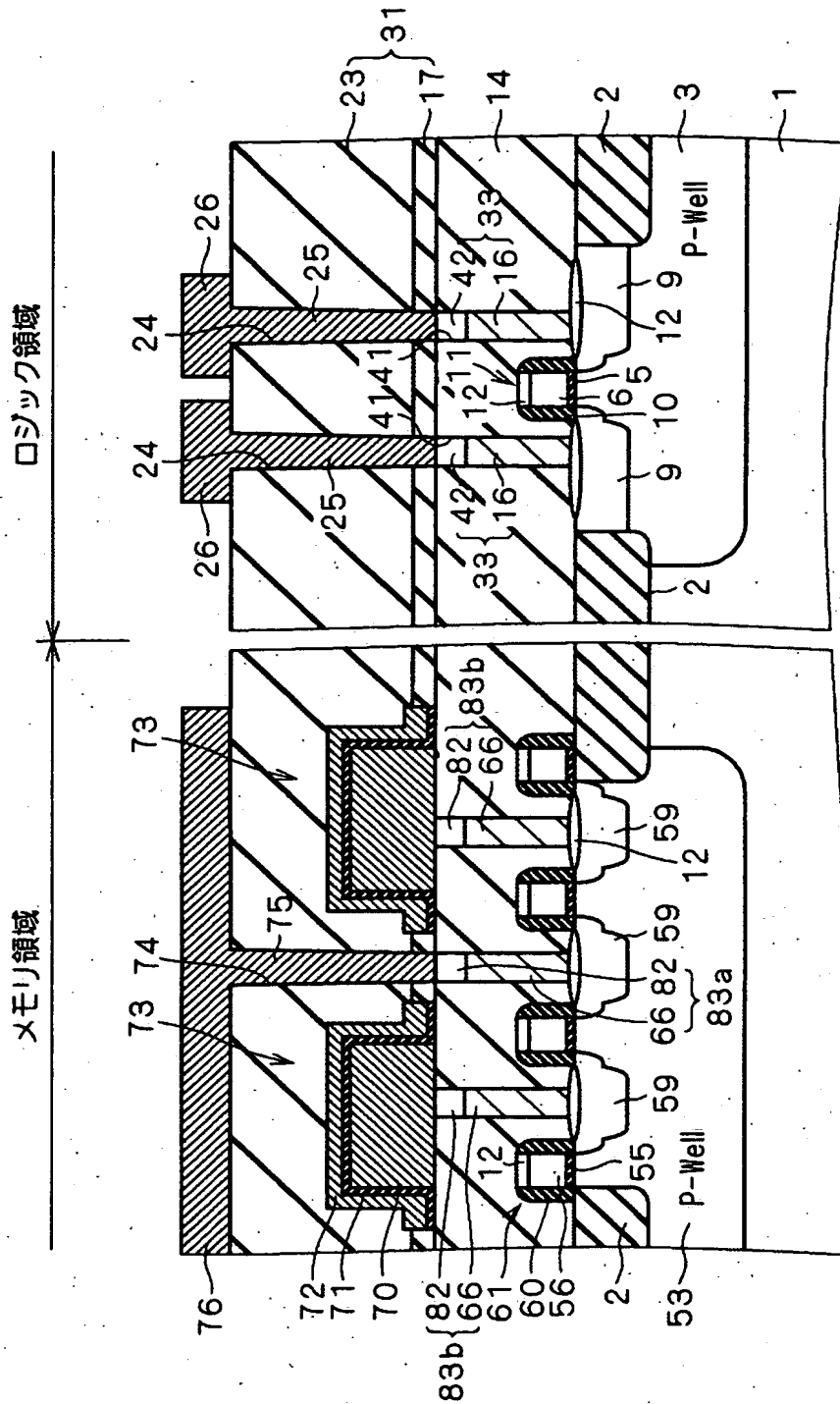
【図 45】



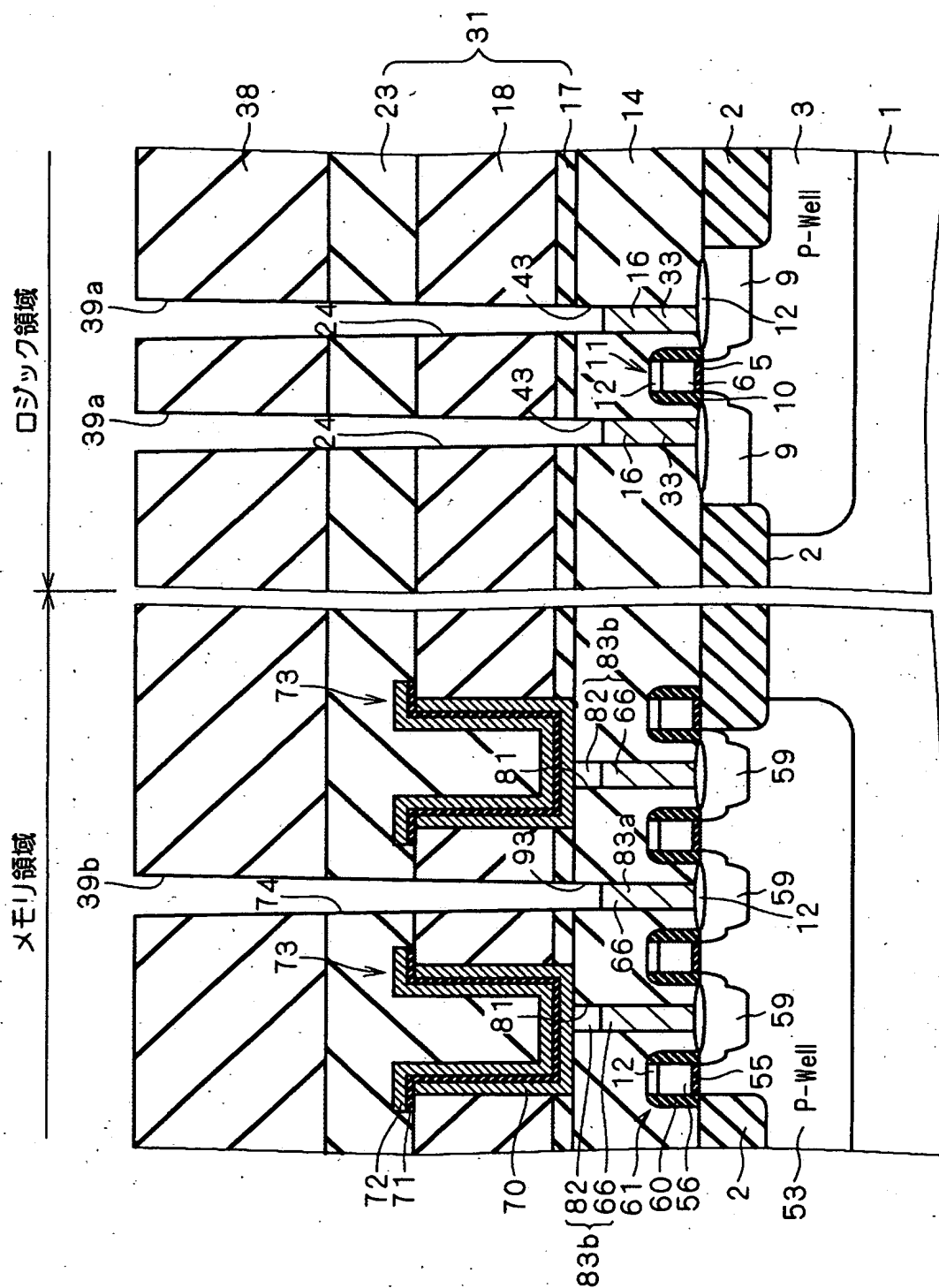
【図46】



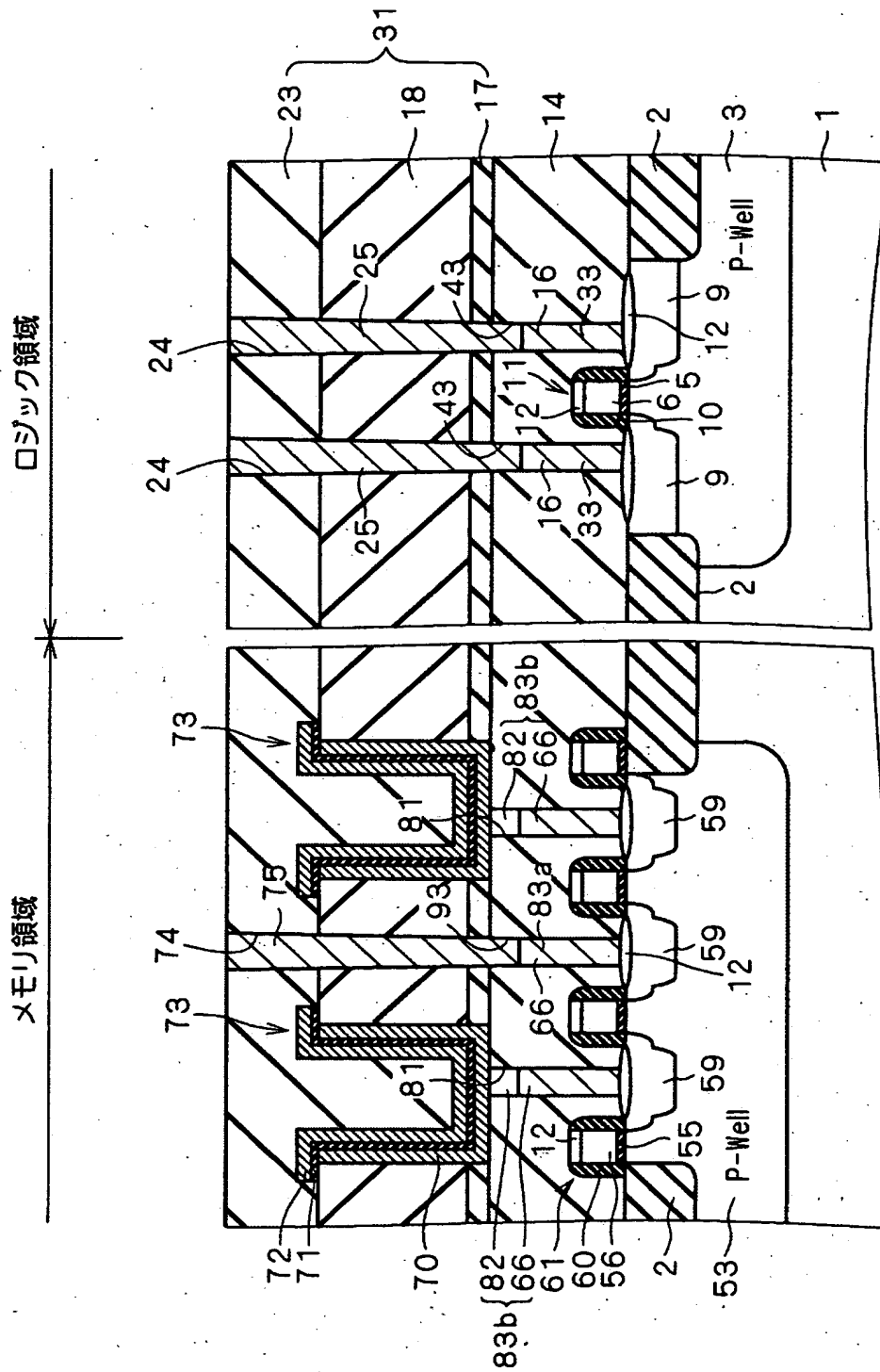
【図47】



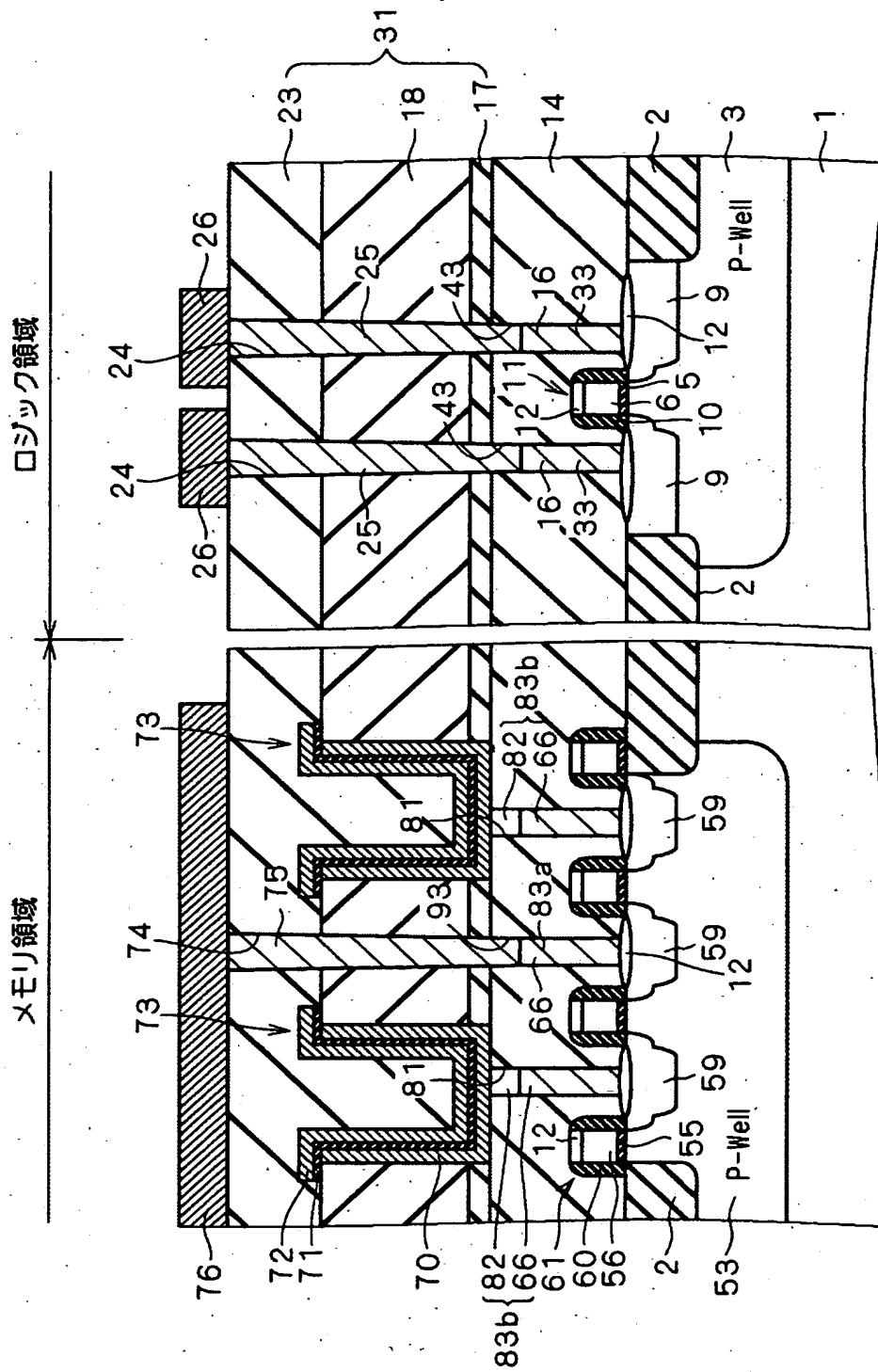
【図 4 8】



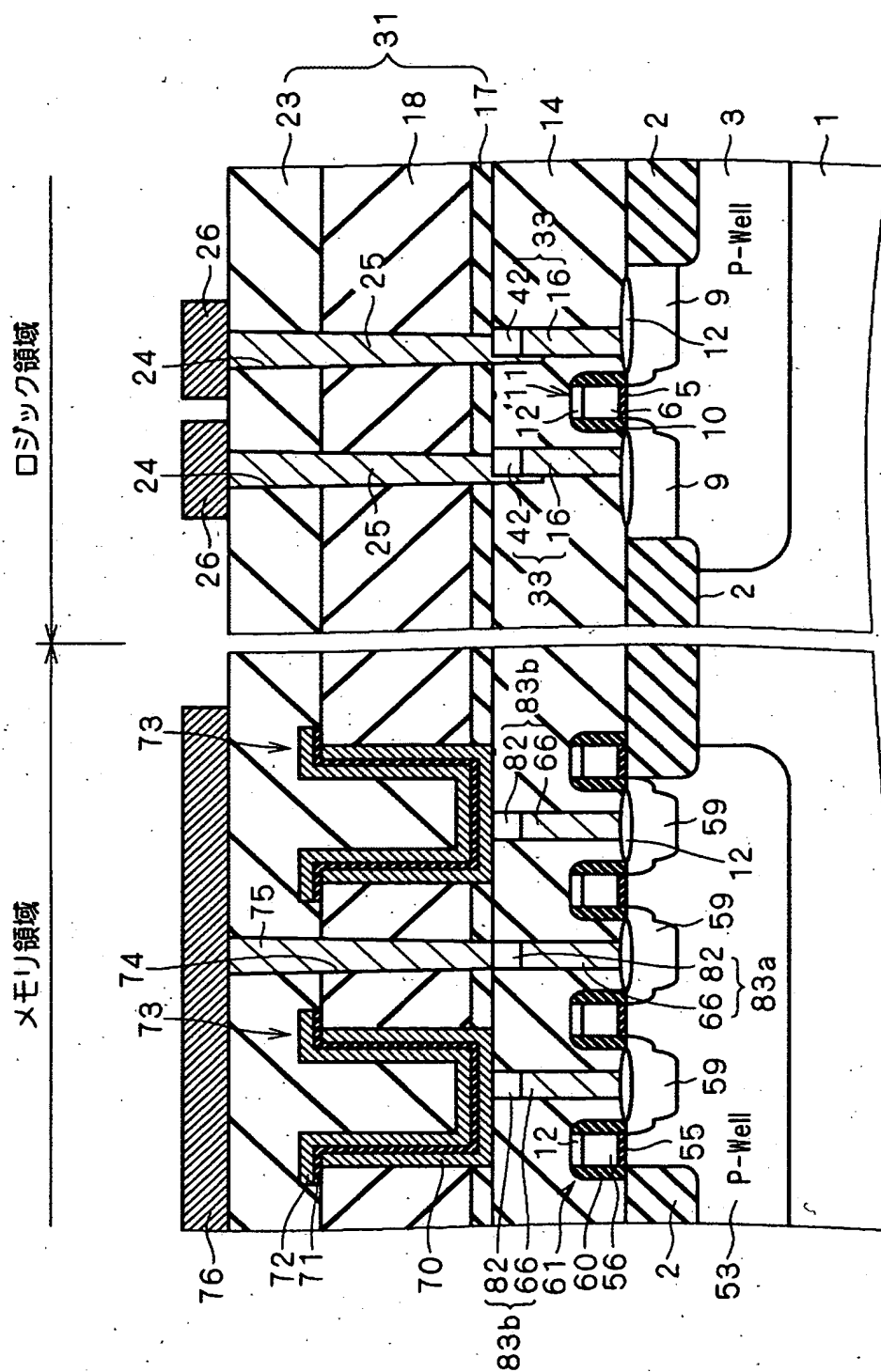
【図 49】



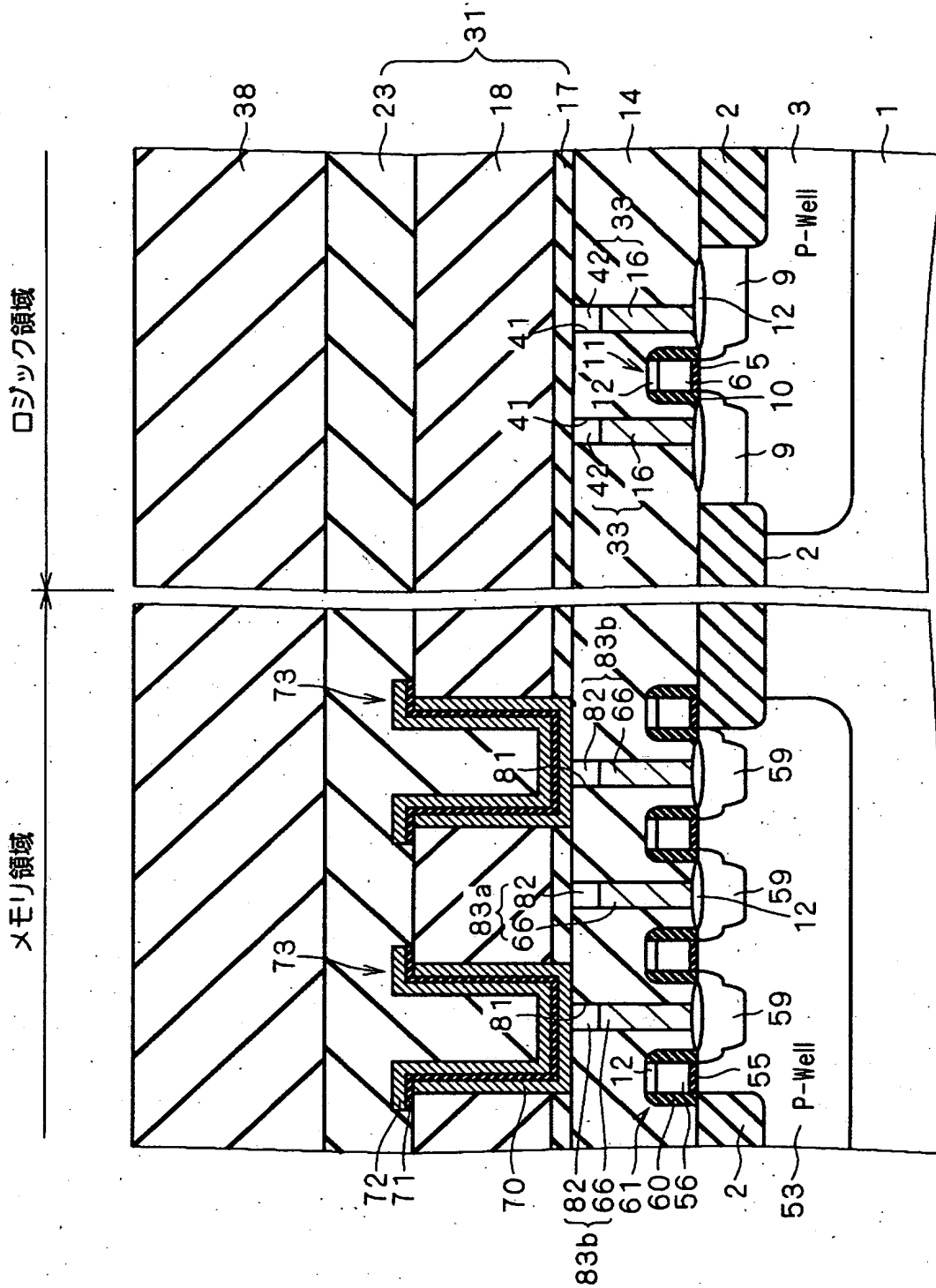
【図 50】



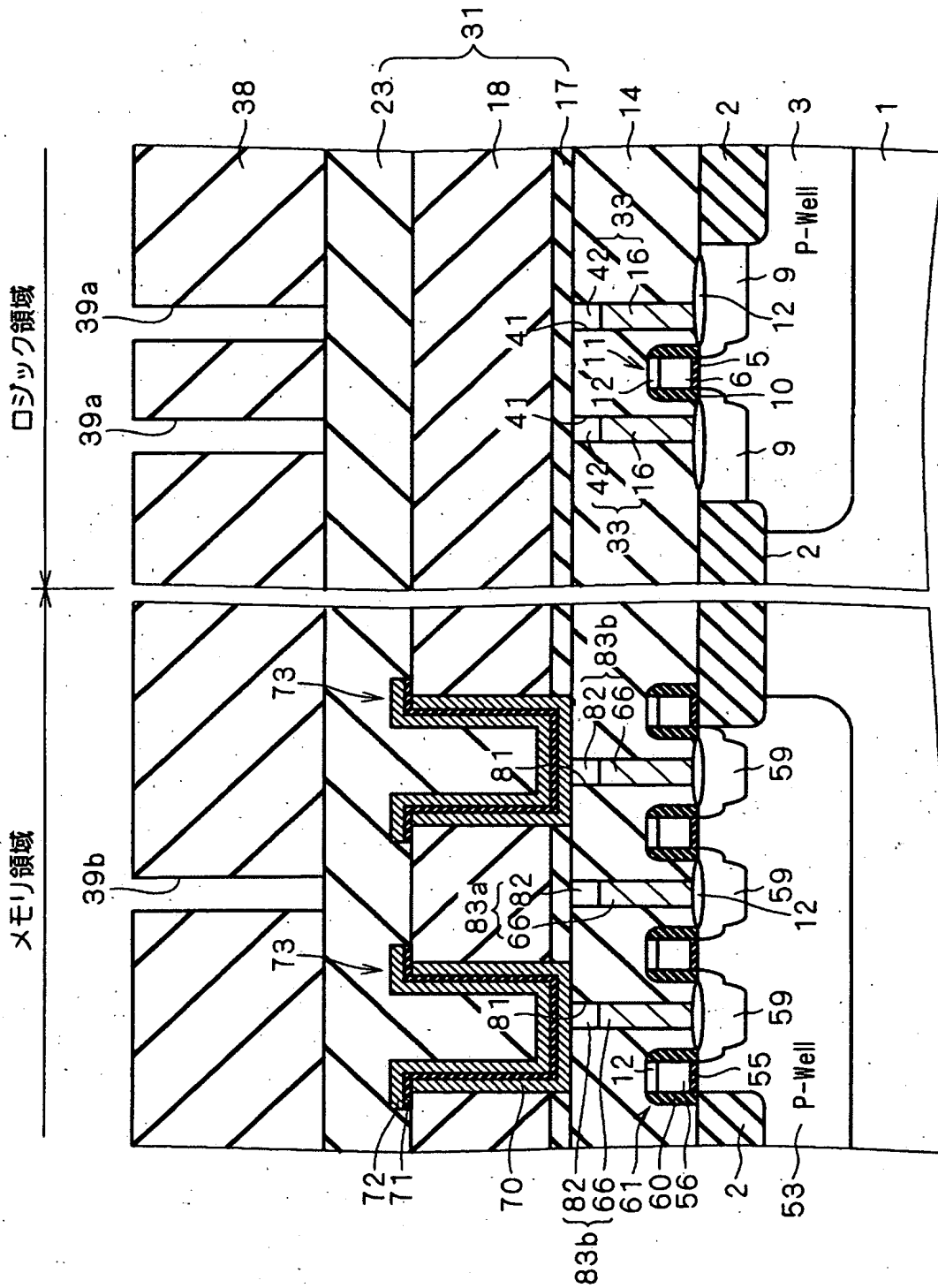
【图 5 1】



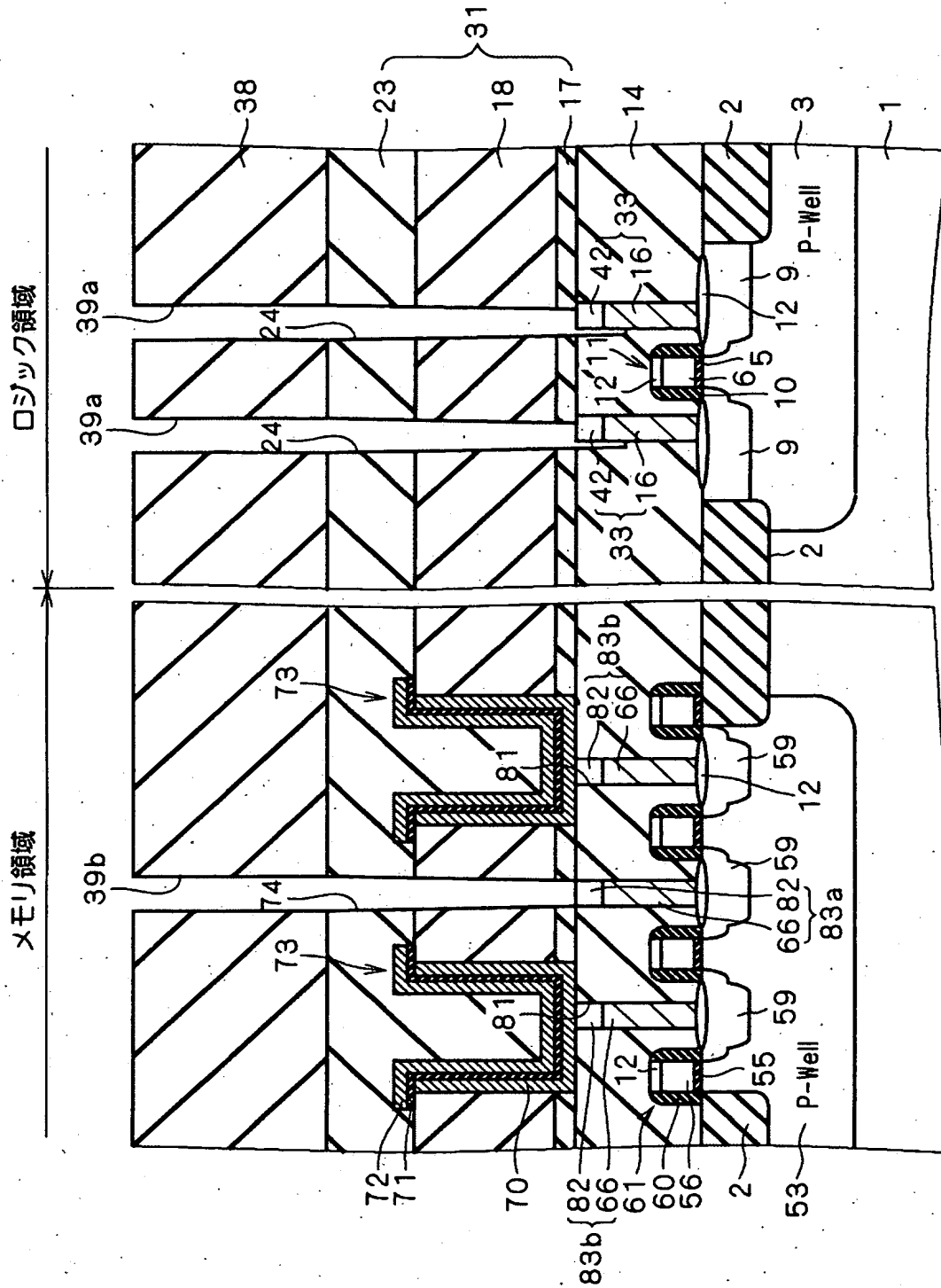
【図 52】



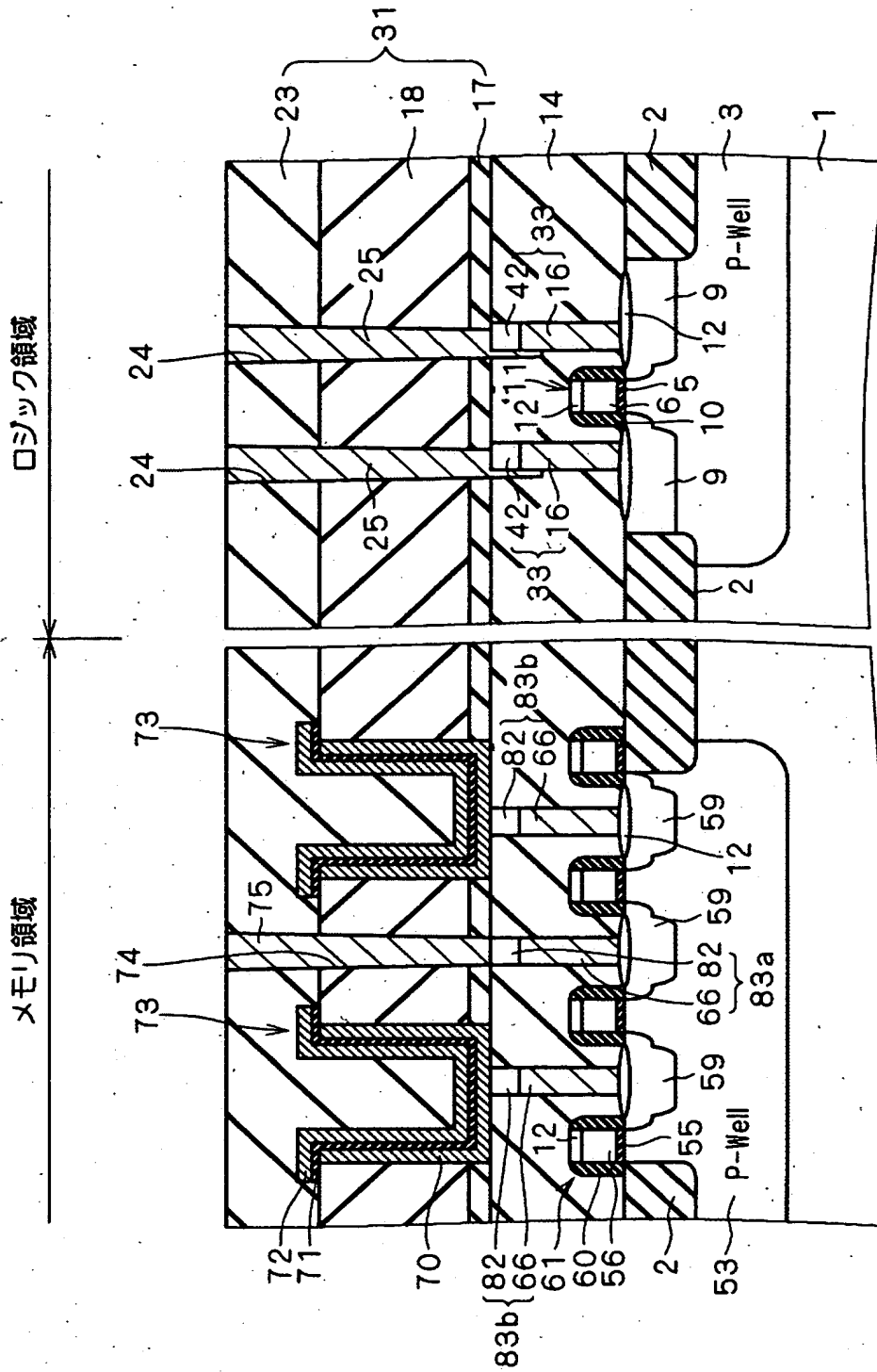
【図53】



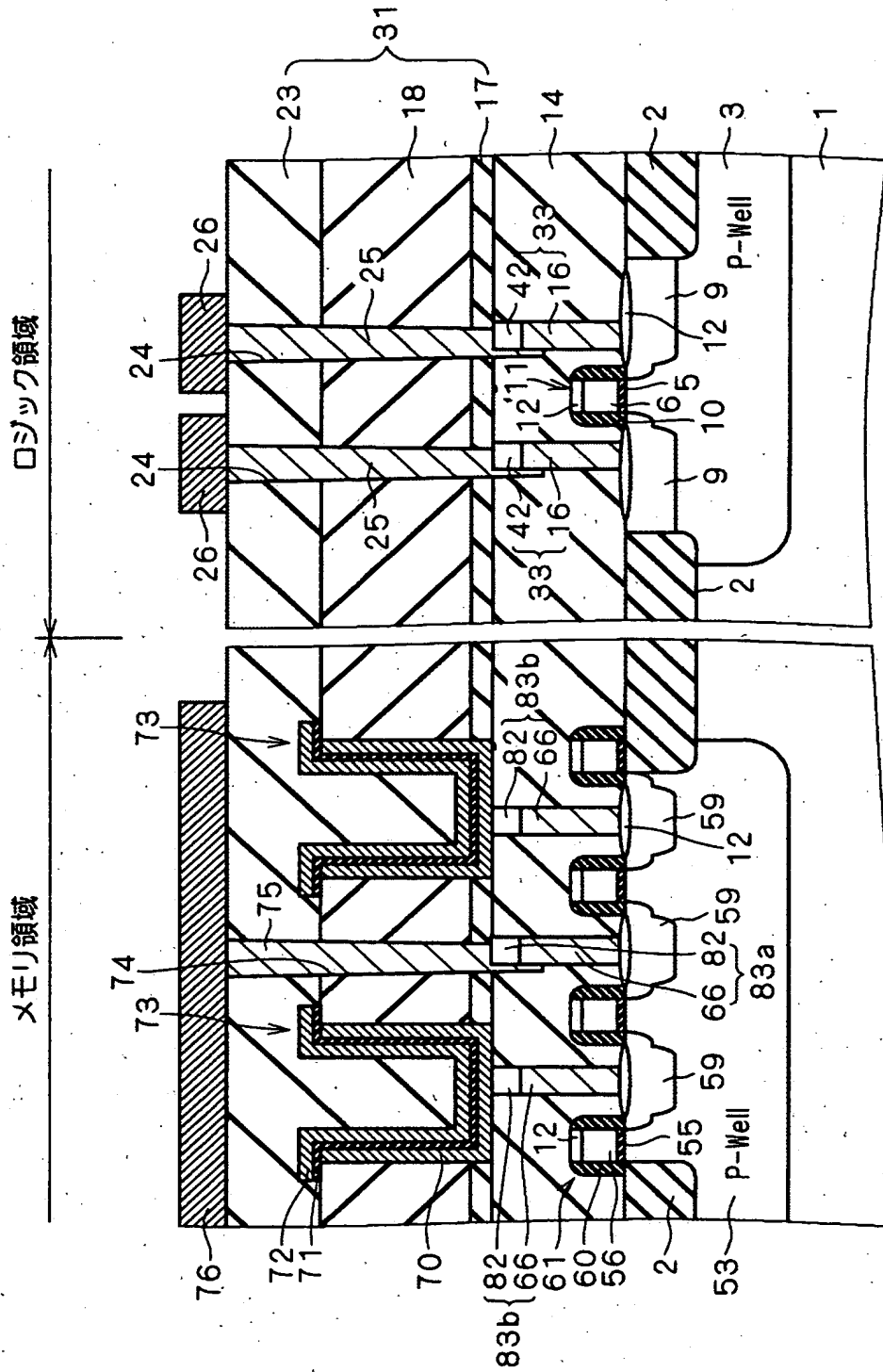
【図54】



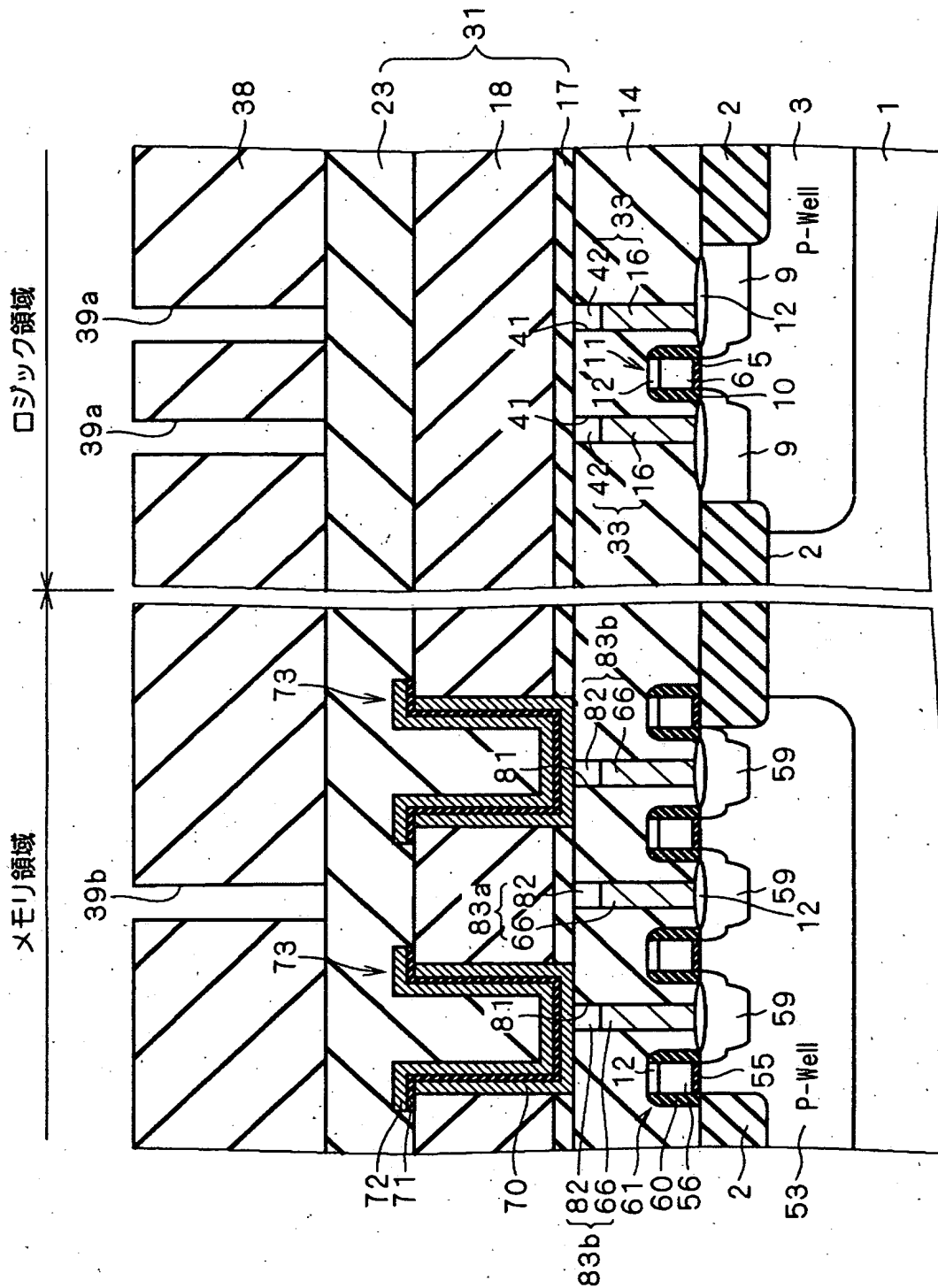
【図 55】



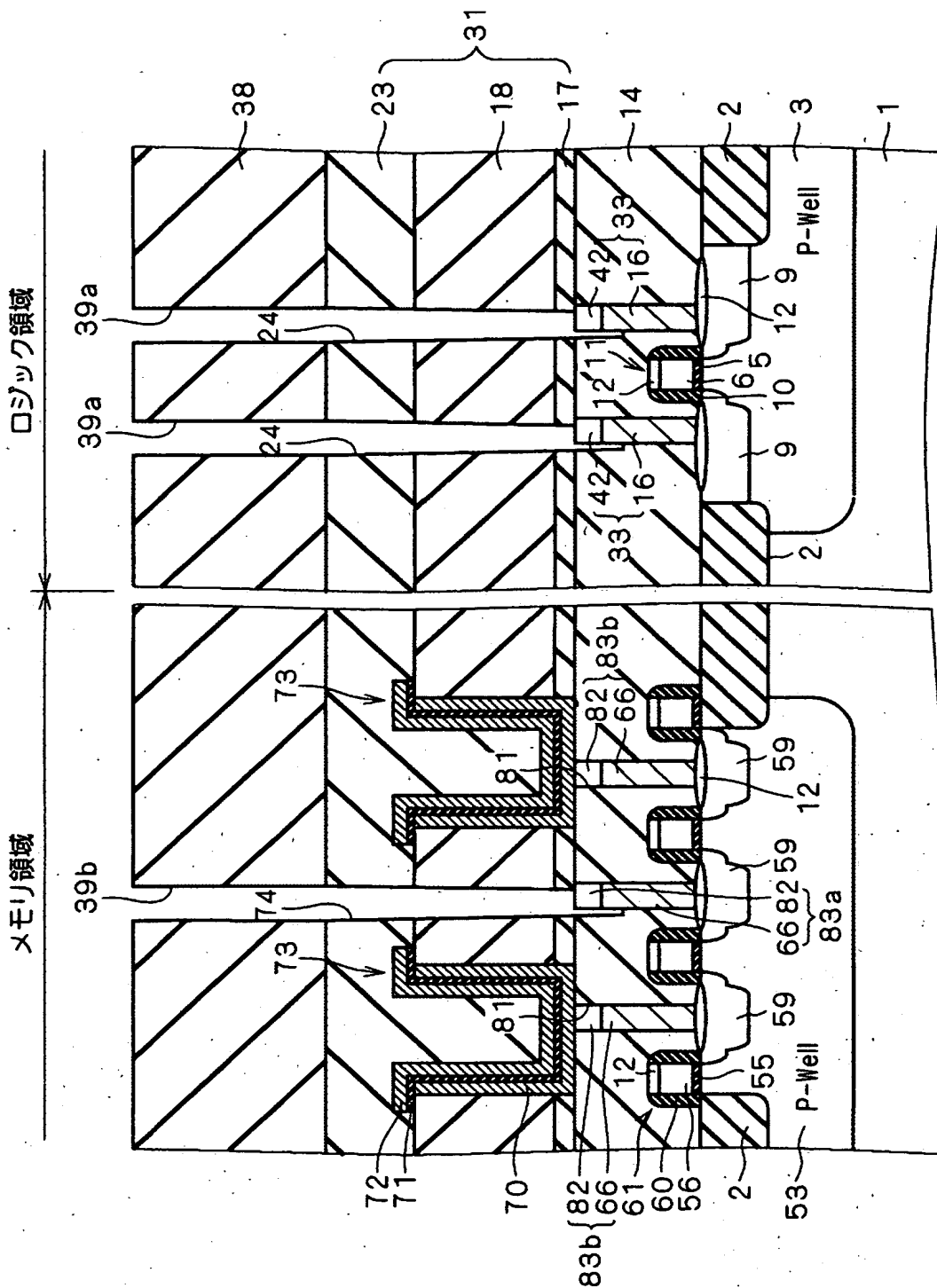
【図 56】



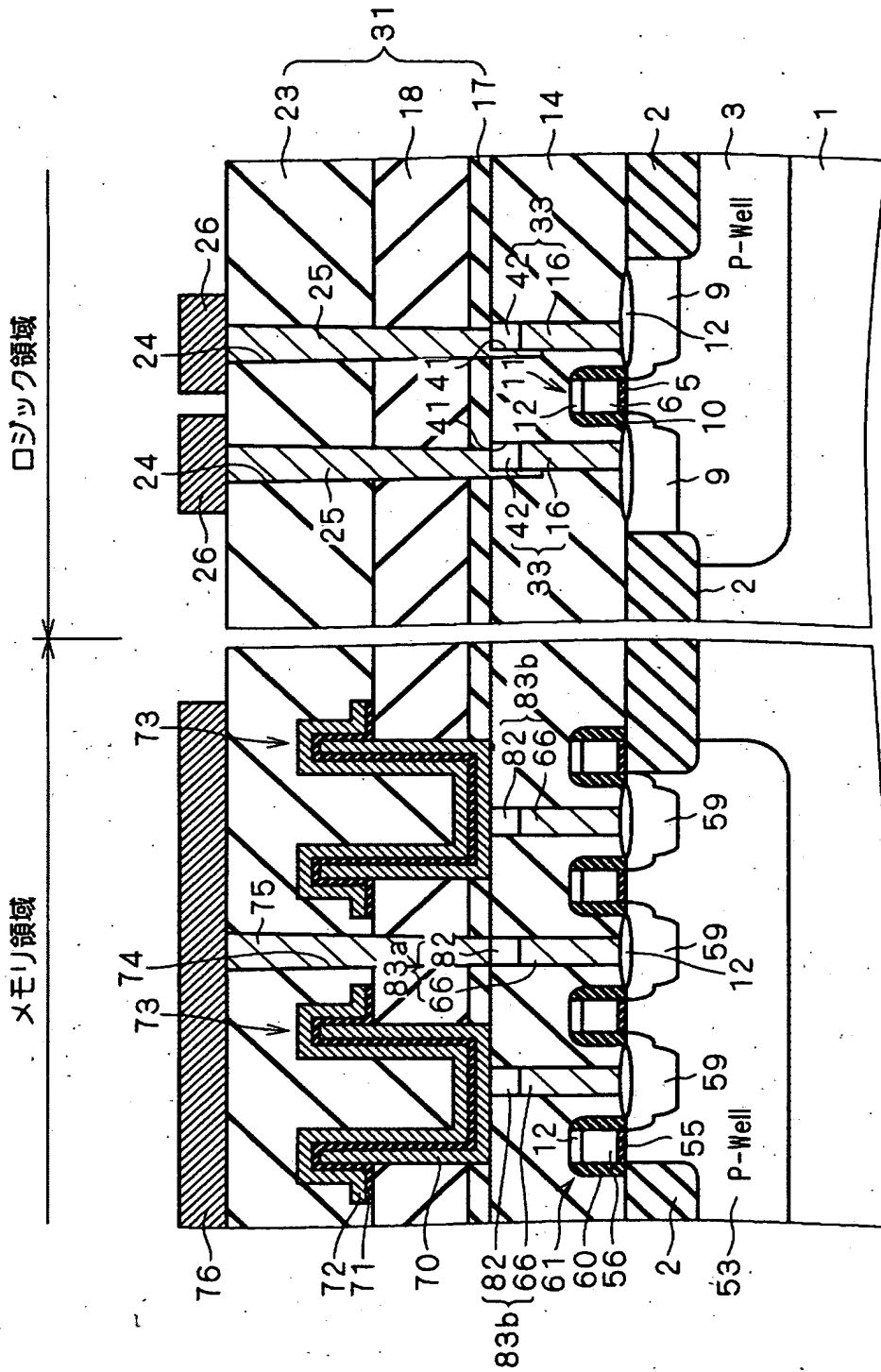
【図 5 7】



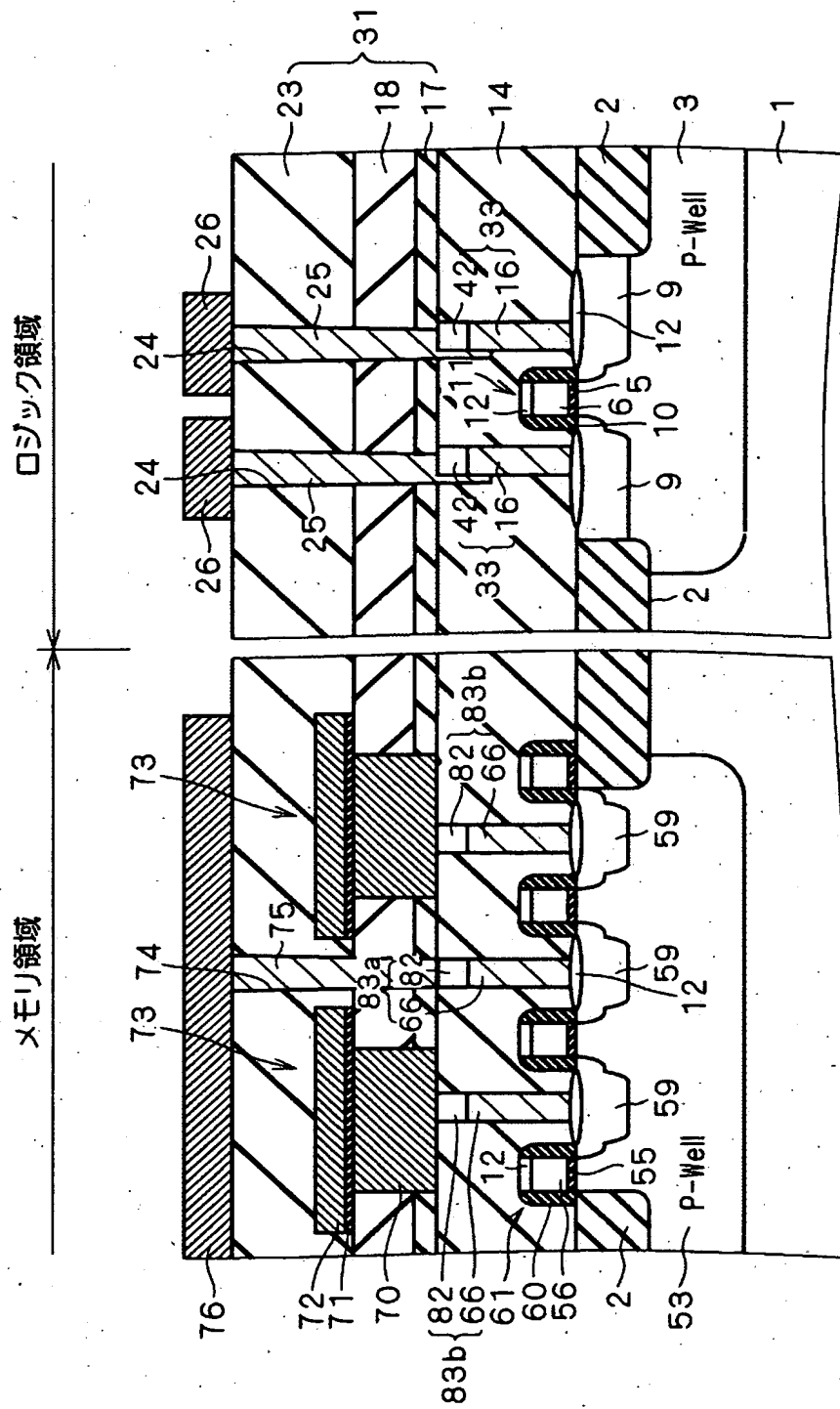
【図 58】



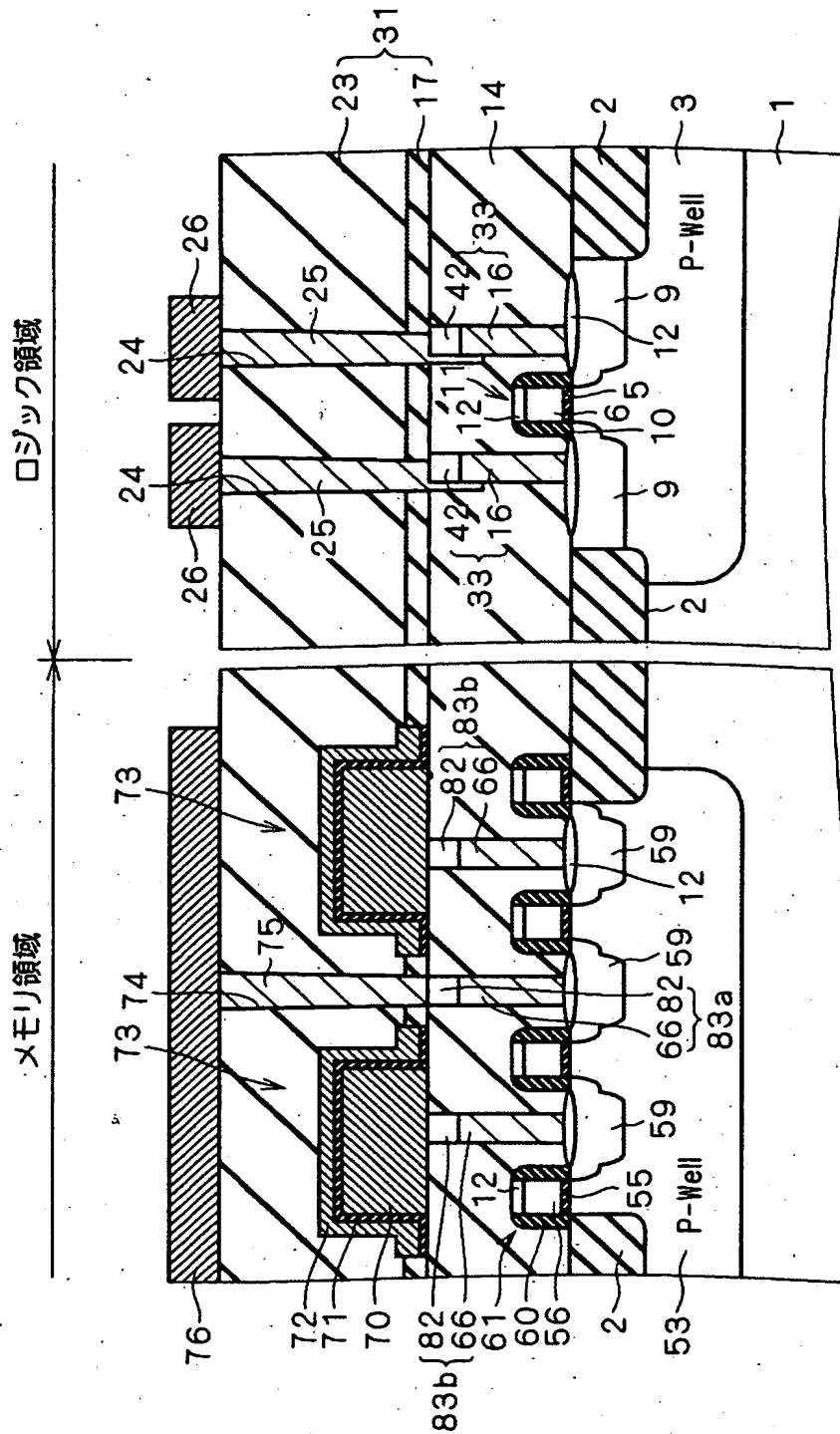
【図 59】



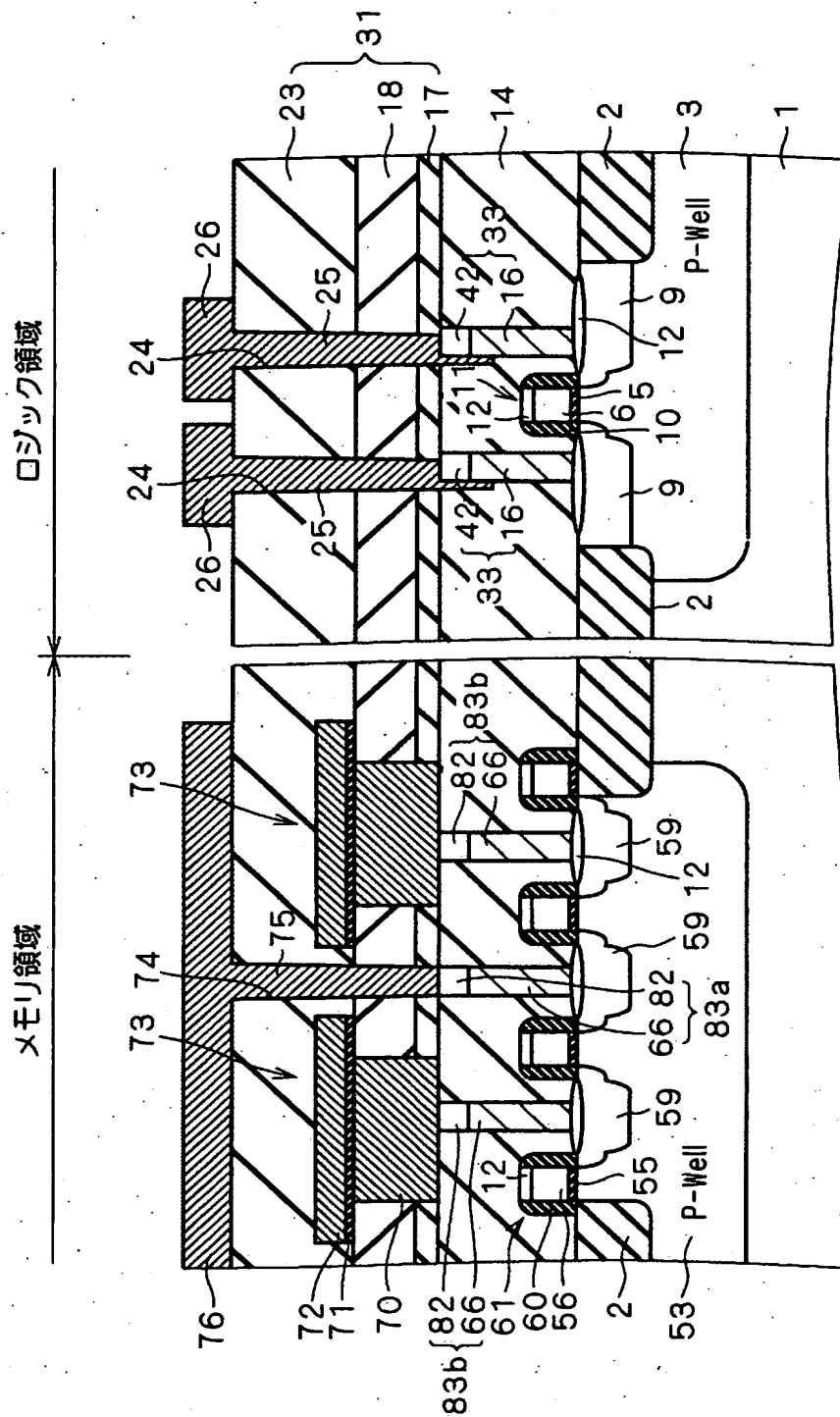
【図 60】



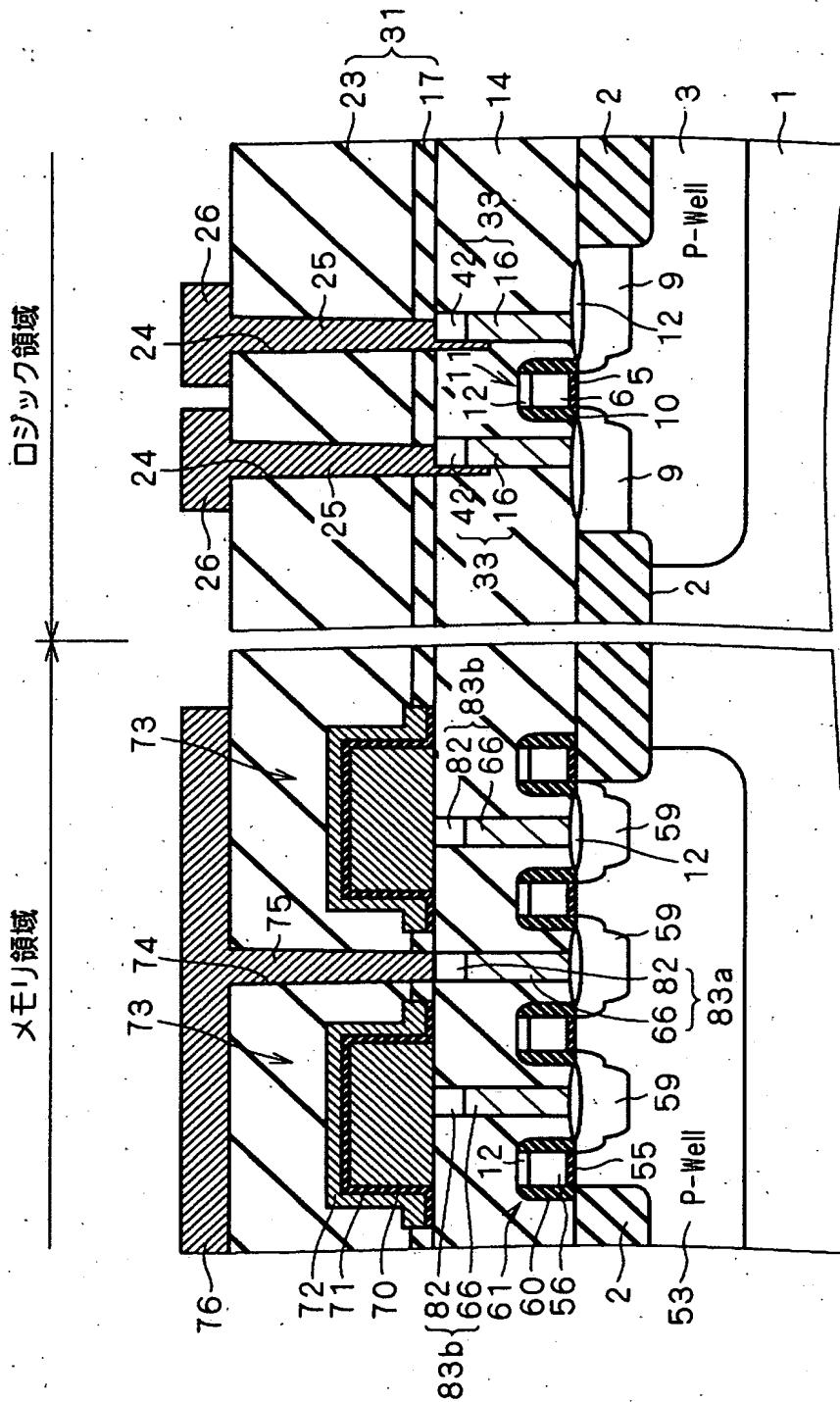
【図 61】



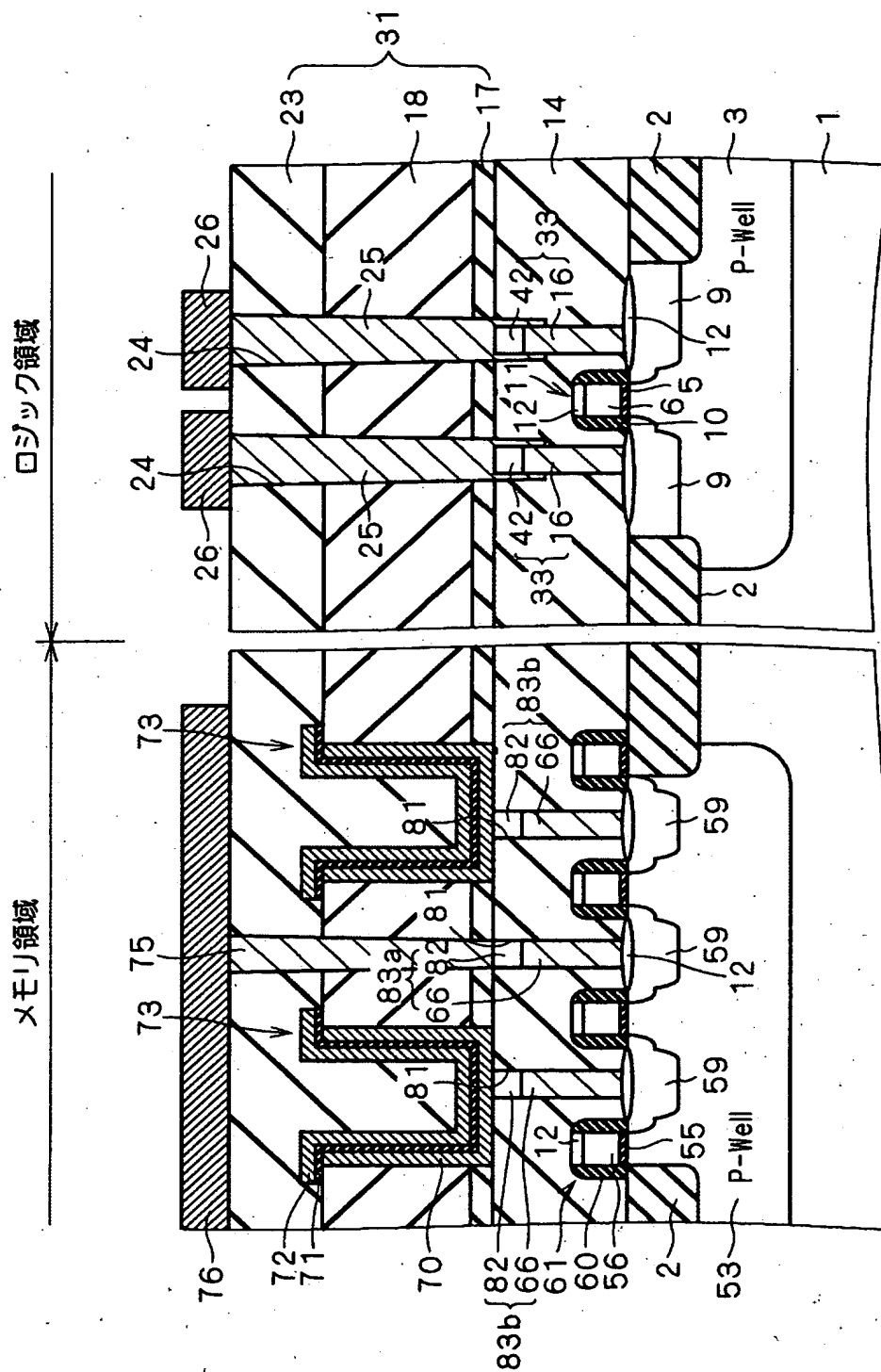
【図 62】



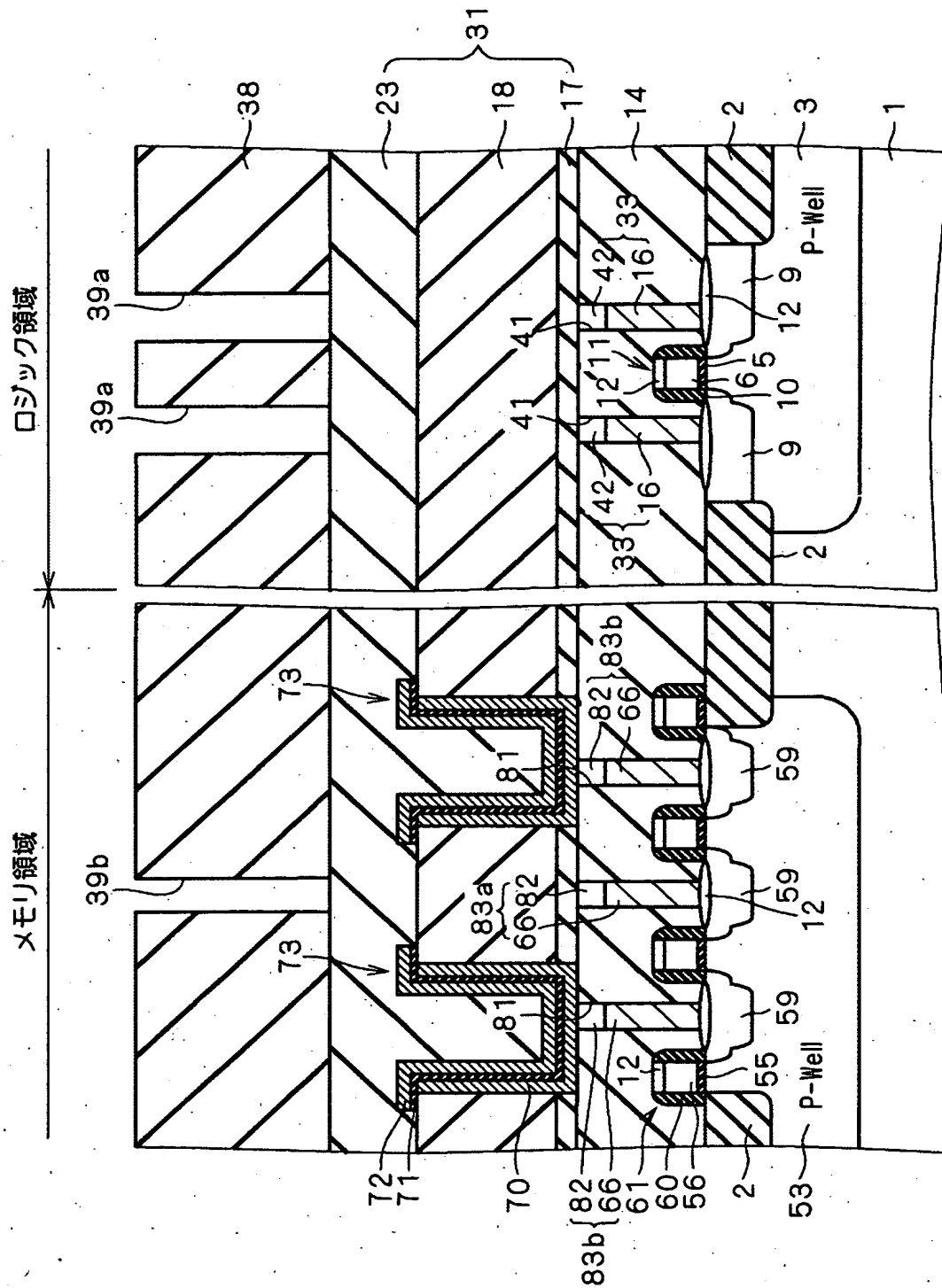
【図63】



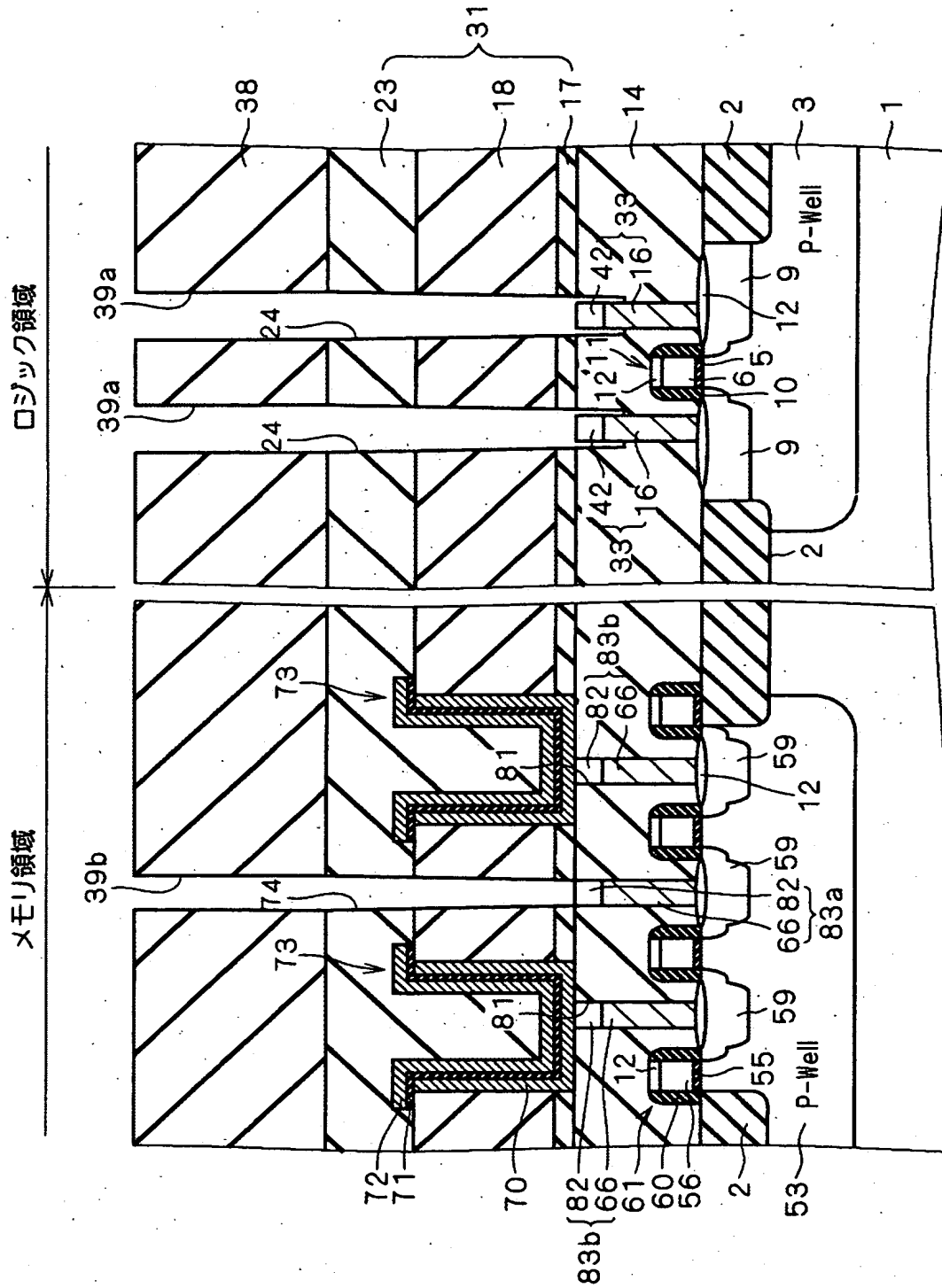
【图 6 4】



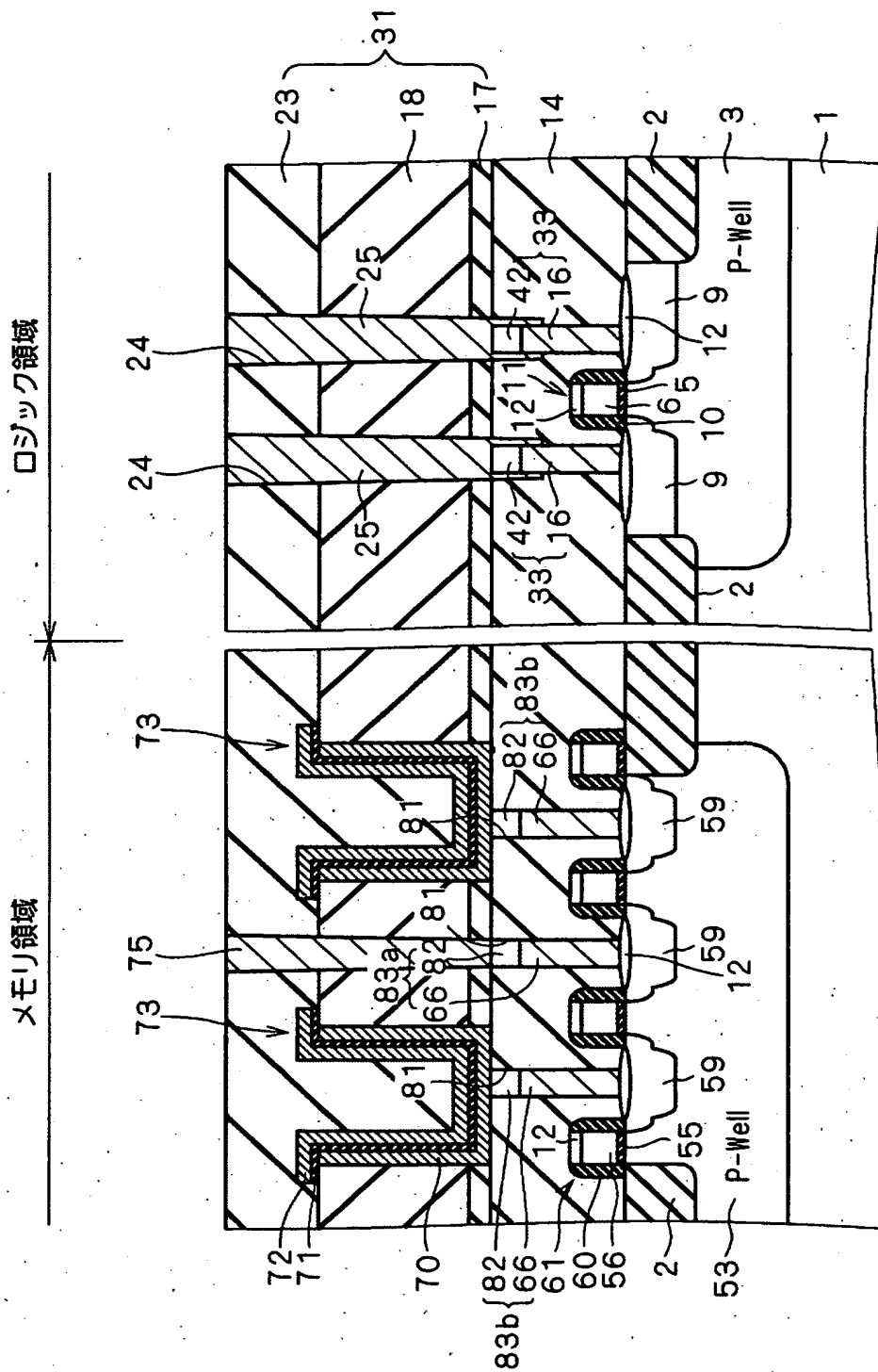
【図 65】



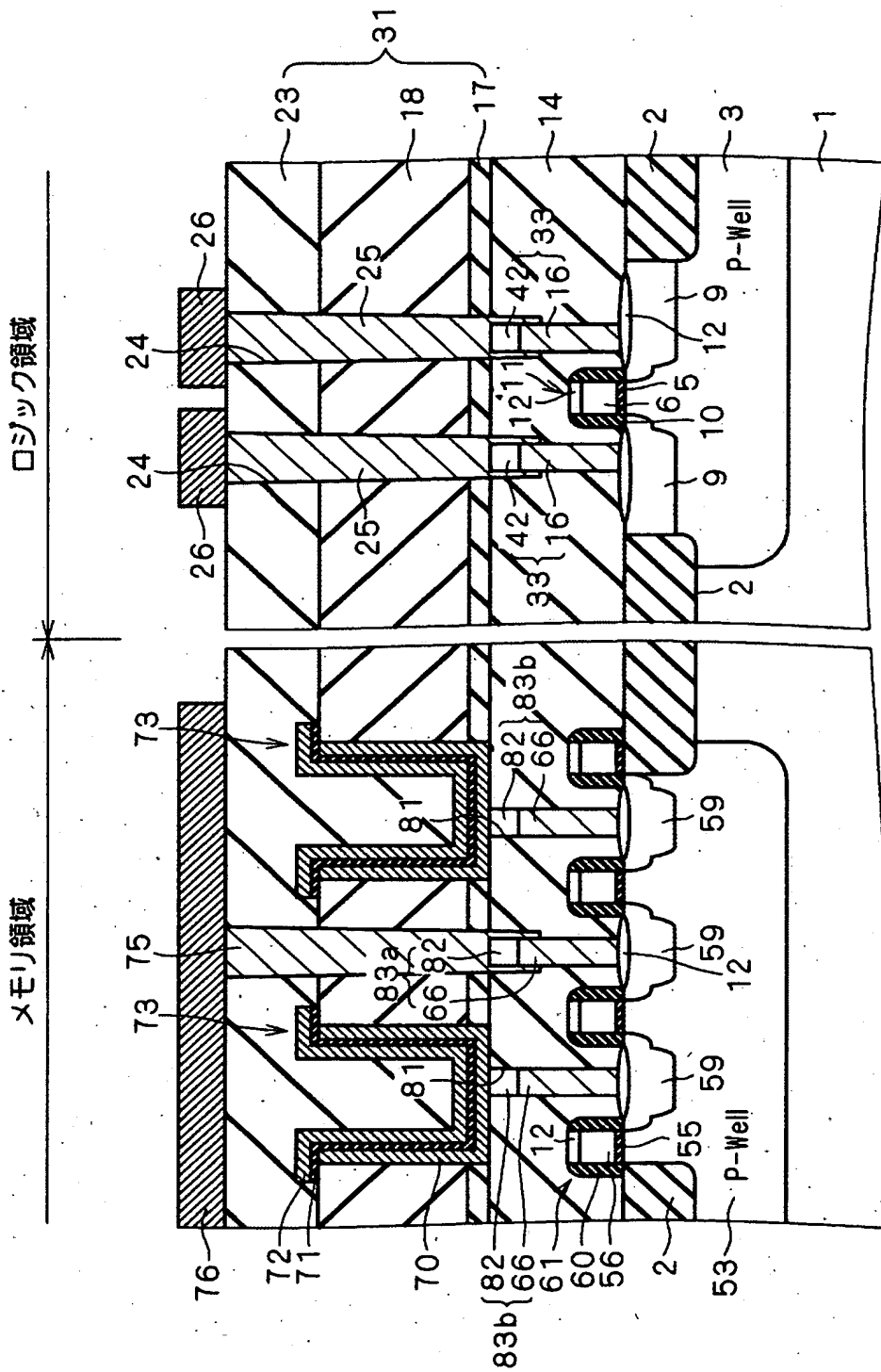
【図66】



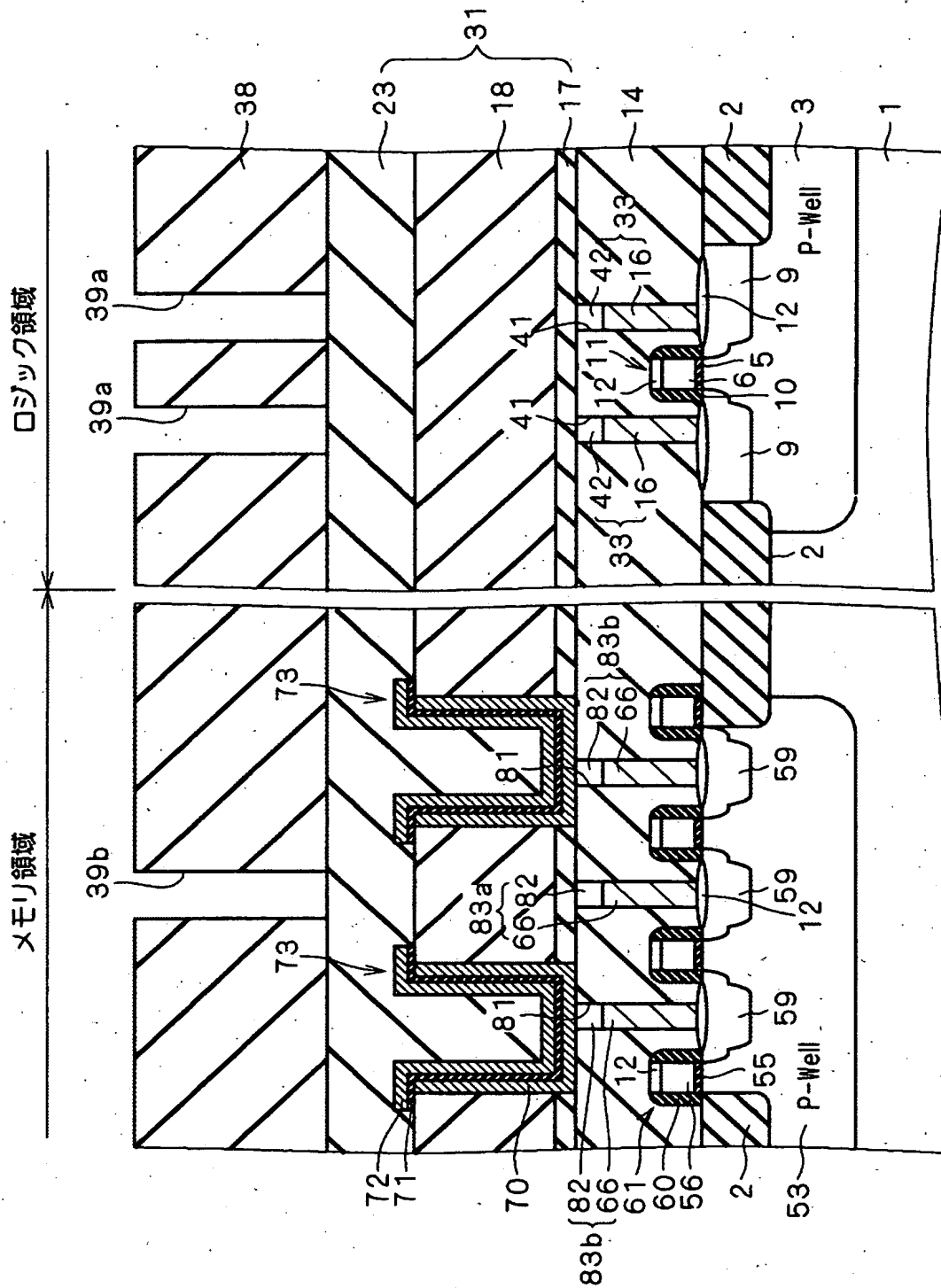
【図67】



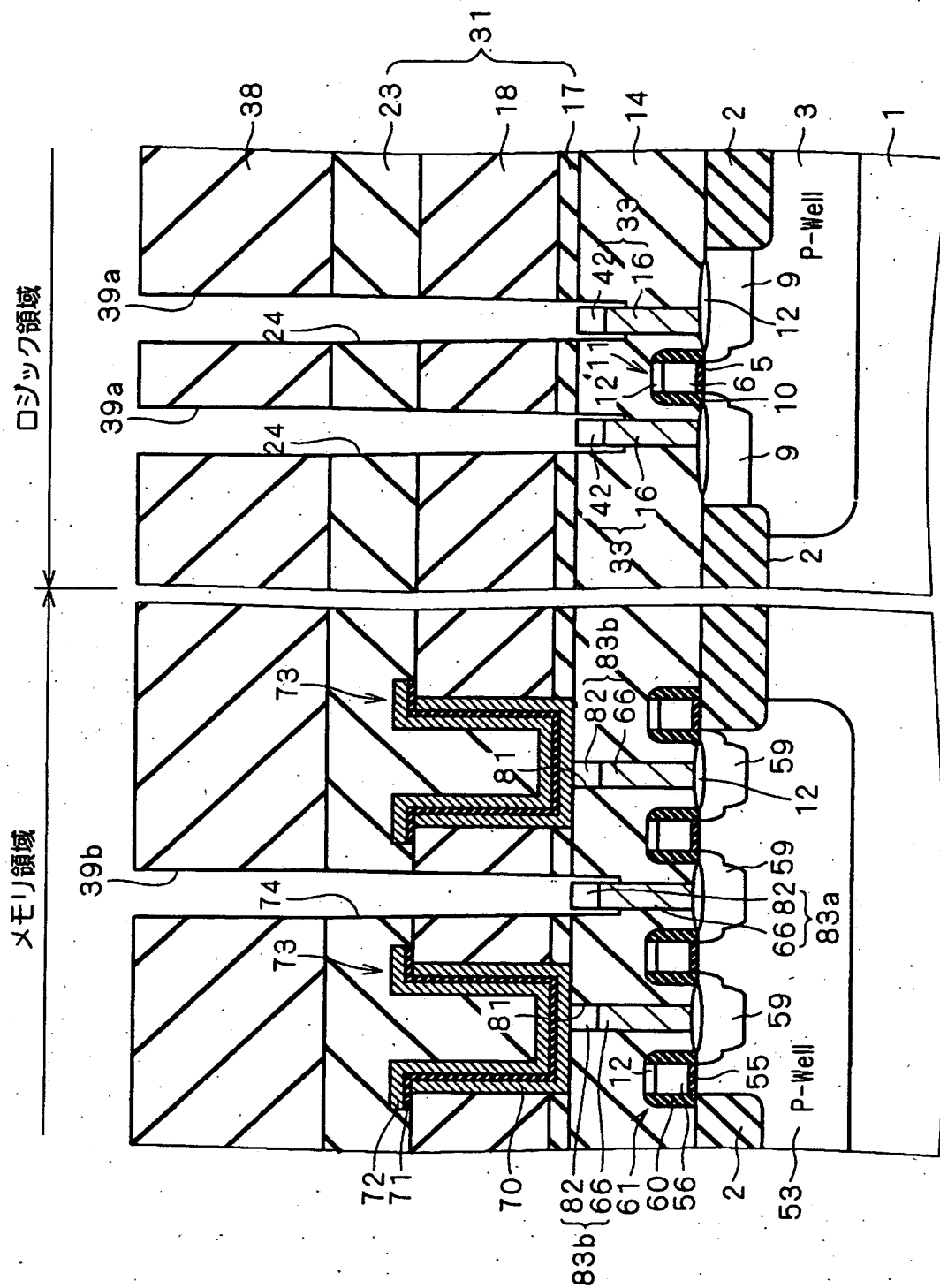
【図 68】



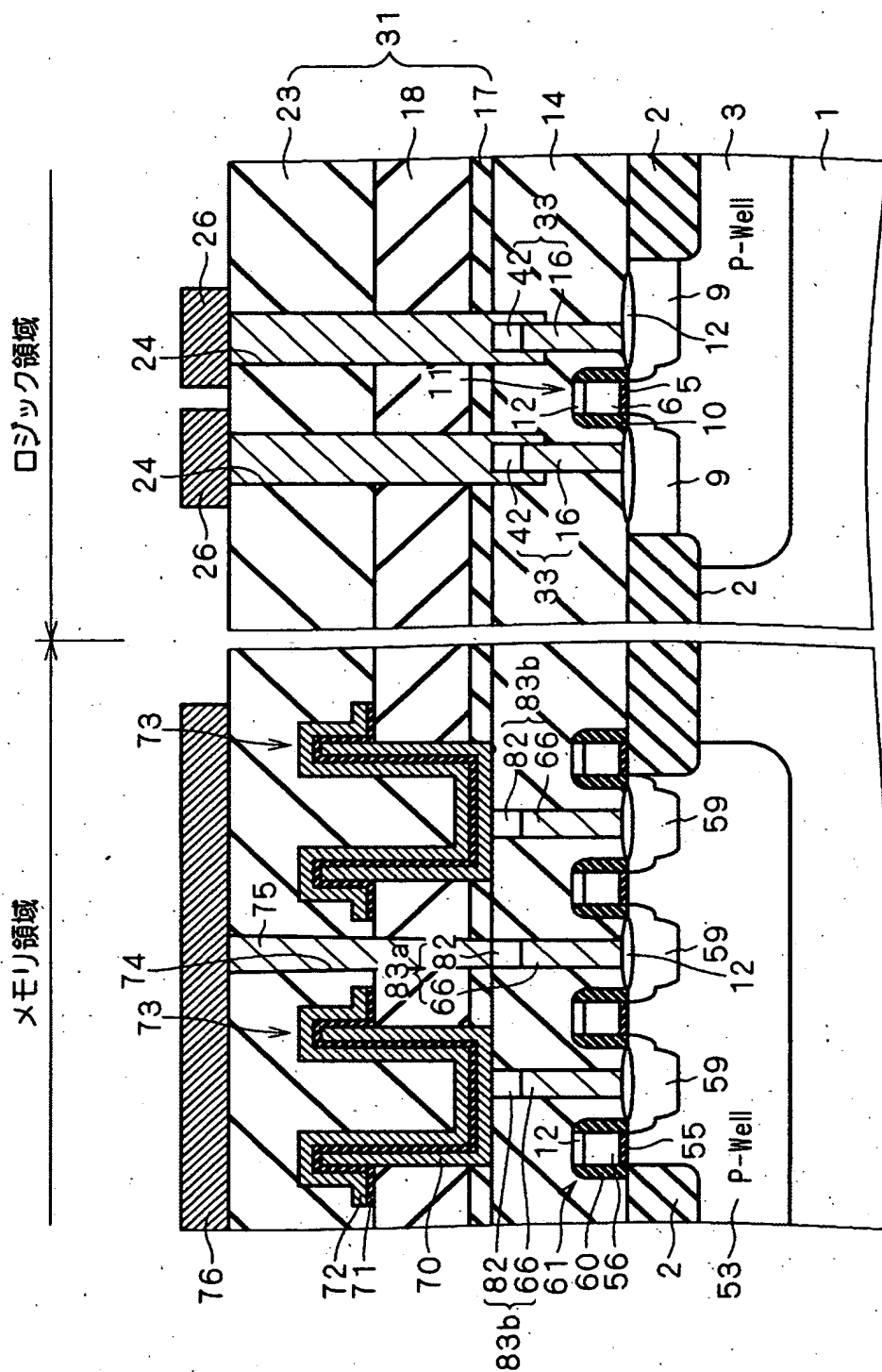
【図 69】



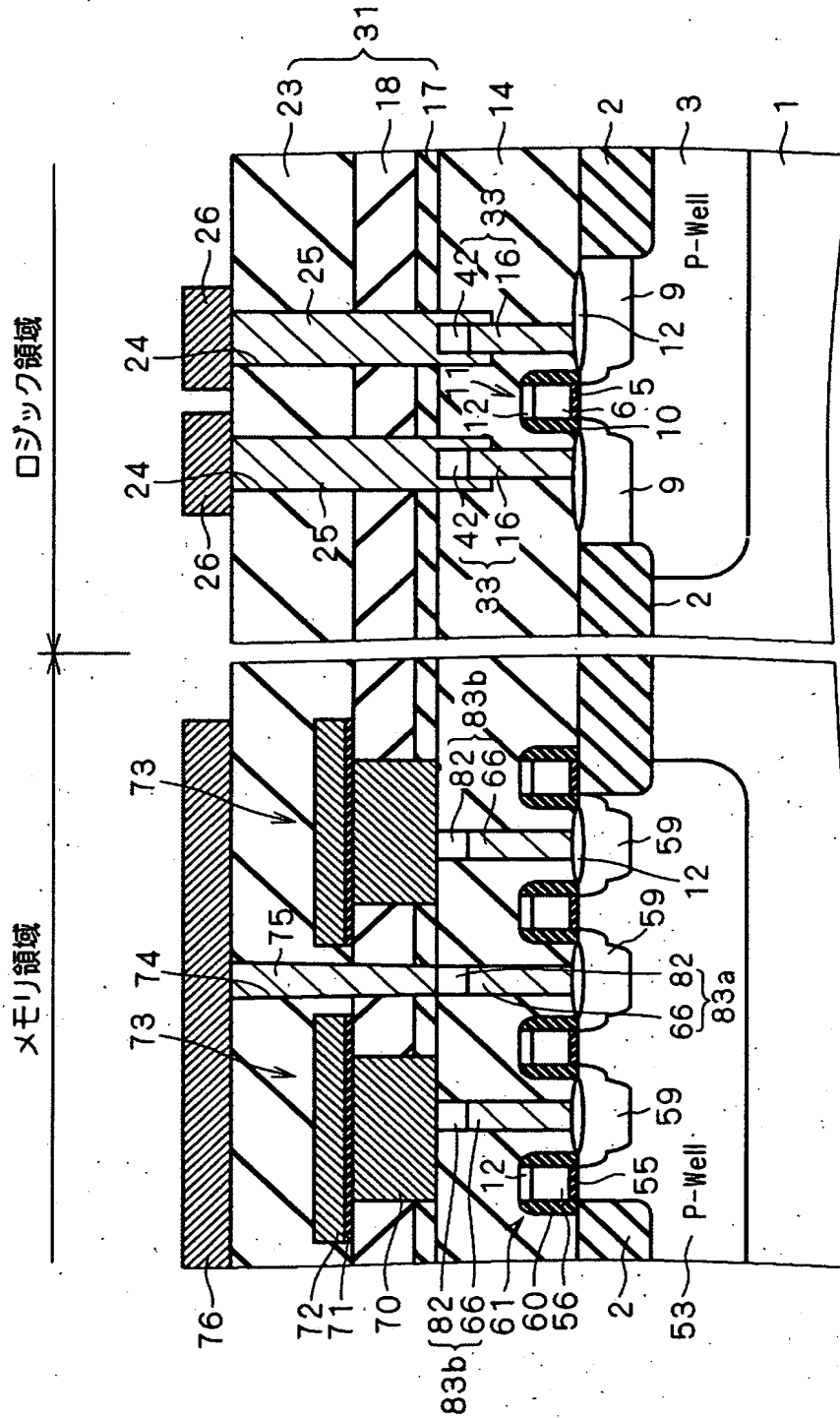
【図 70】



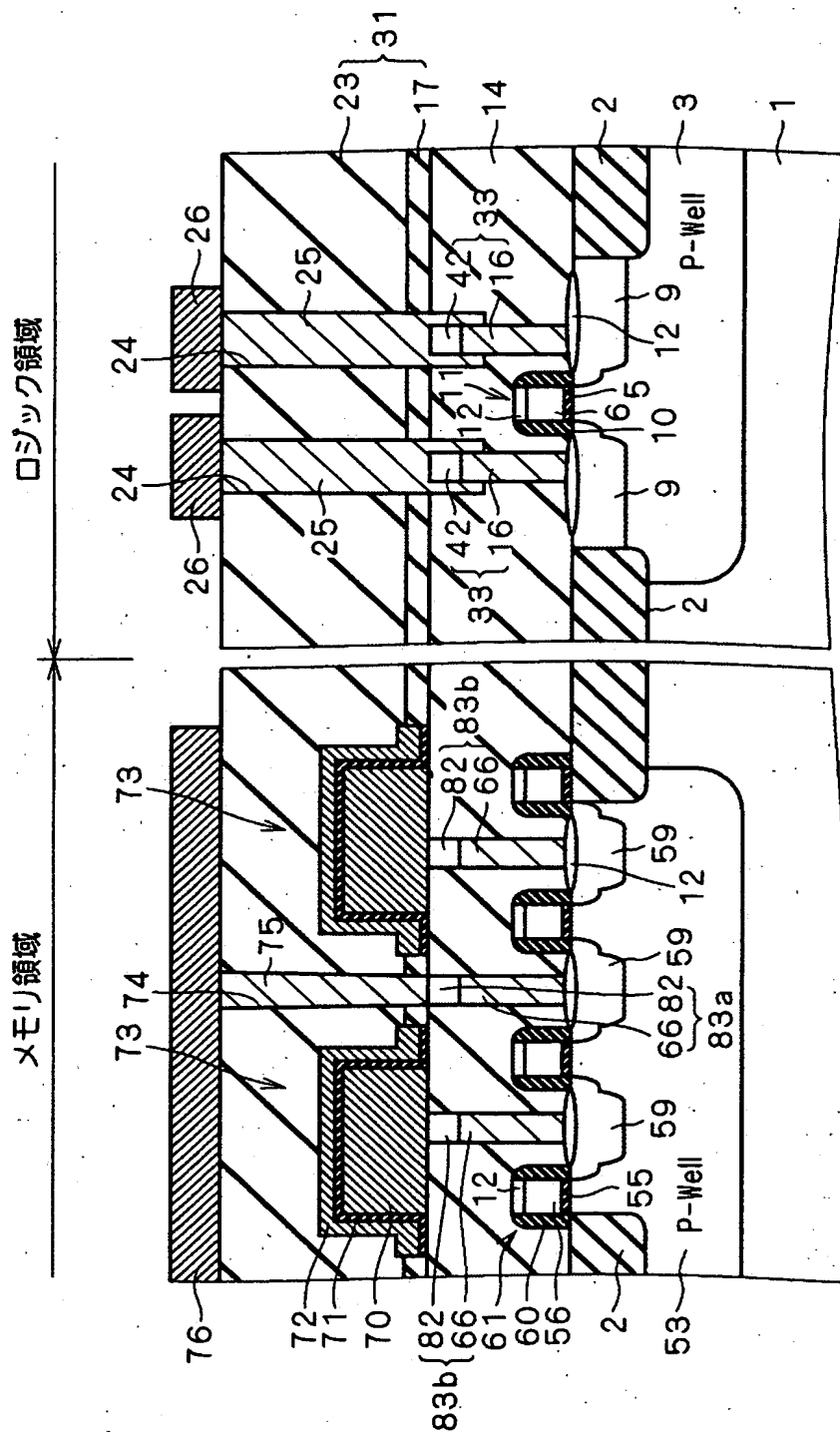
【图 7 1】



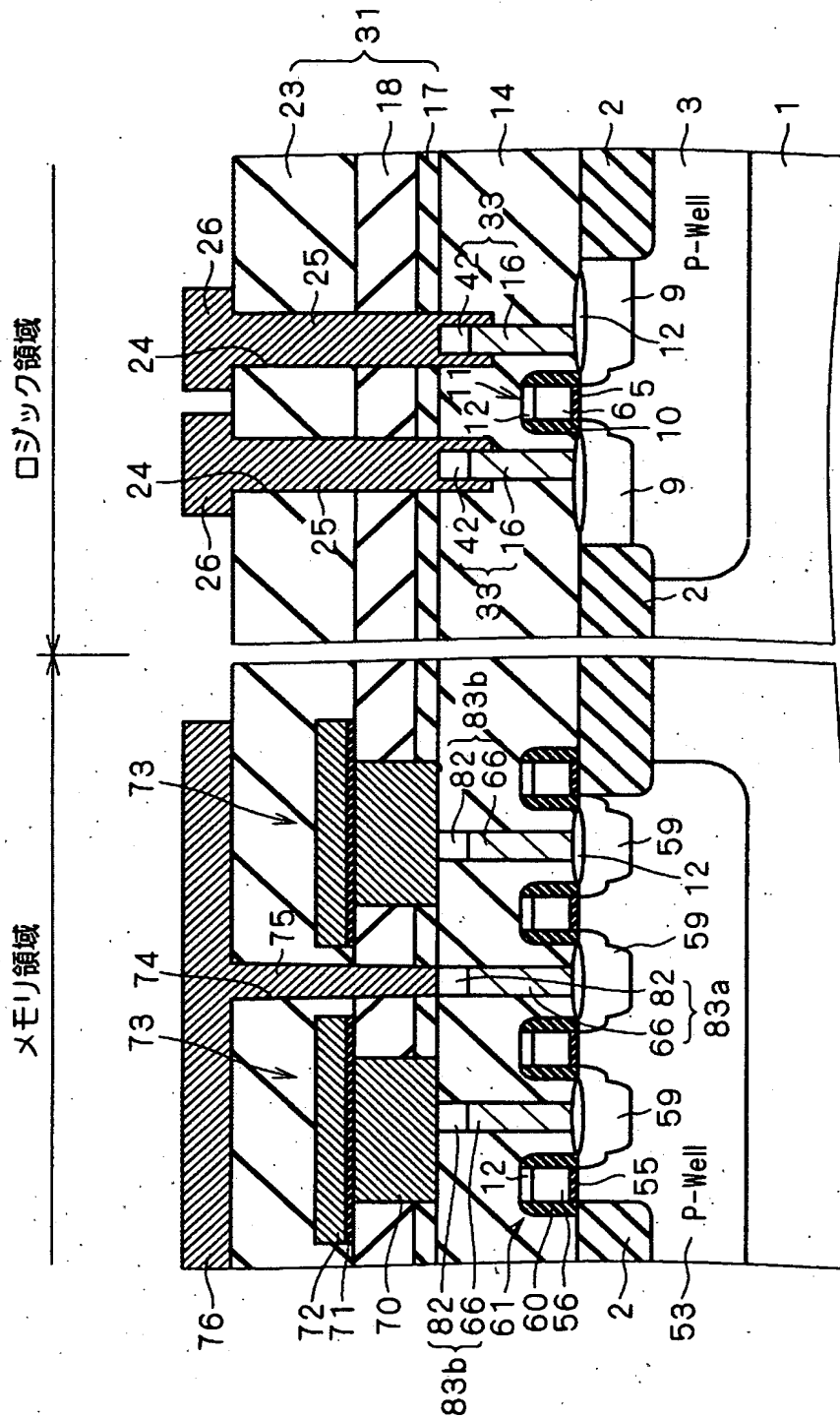
【図 72】



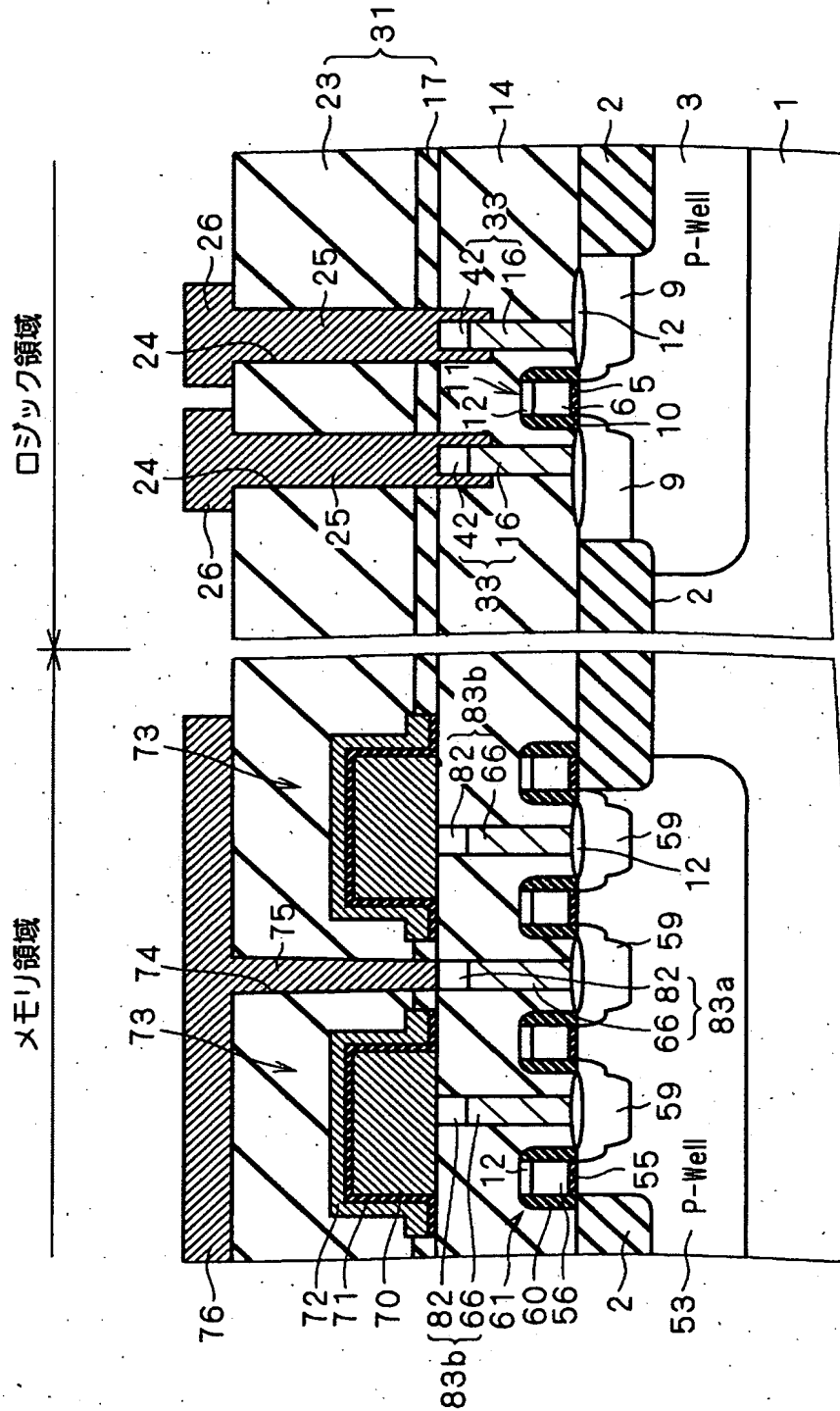
【図73】



【図 74】



【図 75】



【書類名】 要約書

【要約】

【課題】 キャパシタの誘電体膜の形成時に酸化処理が実行される場合であっても、メモリデバイスでのコンタクト抵抗の低減とロジックデバイスでのコンタクト抵抗の低減とを両立させることが可能な技術を提供する。

【解決手段】 ソース・ドレイン領域59の一方と電氣的に接続するコンタクトプラグ83bの上端部に導電性バリア層82を設ける。そして、コンタクトプラグ83bの導電性バリア層82と接触させてキャパシタ73の下部電極70を形成し、その後、キャパシタ73の誘電体膜71及び上部電極72を順次形成する。また、ロジック領域では、ソース・ドレイン領域9と電氣的に接続するコンタクトプラグ33と接触させてコンタクトプラグ25を上層に形成する。

【選択図】 図15

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号

氏 名 株式会社ルネサステクノロジ